

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 10 月 21 日 (21.10.2004)

PCT

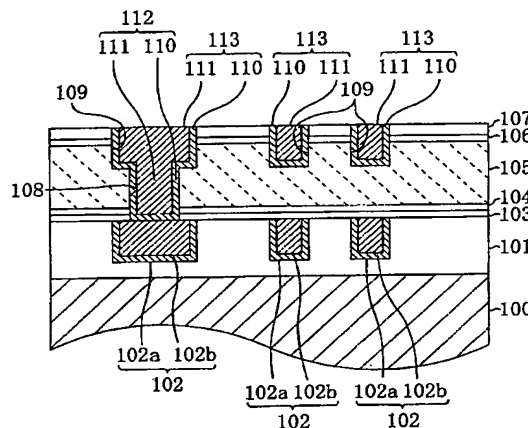
(10) 国際公開番号
WO 2004/090974 A1

- (51) 国際特許分類⁷: H01L 21/768, 21/316, 21/027
- (21) 国際出願番号: PCT/JP2004/005044
- (22) 国際出願日: 2004 年 4 月 7 日 (07.04.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-104499 2003 年 4 月 8 日 (08.04.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP). 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 松本 晋 (MATSUMOTO, Susumu). 関口 満 (SEKIGUCHI, Mitsuru). 西岡 康隆 (NISHIOKA, Yasutaka) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 富田 和朗 (TOMITA, Kazuo) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 岩崎 晃久 (IWASAKI, Akihisa). 橋本 圭司 (HASHIMOTO, Keiji) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP).
- (74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,

[続葉有]

(54) Title: ELECTRONIC DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 電子デバイス及びその製造方法



(57) Abstract: An electronic device comprising a low dielectric constant film having a via hole, a nitrogen-noncontaining insulating film on the upper or lower side of the low dielectric constant film, and a nitrogen-containing insulating film, and an electronic device comprising a low dielectric constant film having a via hole and a low-density insulating film having a film density of 1.3 g/cm³ and disposed on the upper side of the low dielectric constant film. A method for manufacturing an electronic device comprising a step of forming a nitrogen-noncontaining insulating film on the upper or lower side of a low dielectric constant film and a nitrogen-containing insulating film on the nitrogen-noncontaining insulating film and a step of forming a chemically amplified resist on the upper side of the low dielectric constant film with a hole and forming a recess connected to the hole through the resist, and a method for manufacturing an electronic device comprising a step of forming a low density insulating film having a film density of 1.3 g/cm³ on the upper side of a low dielectric film, forming a chemically amplified resist on the upper side of a low dielectric film with a hole, and forming a recess connected to the hole through the resist.

[続葉有]



ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

ビアホールが設けられた低誘電率膜の低誘電率膜の上側または下側に窒素非含有絶縁膜を挟んで窒素含有絶縁膜が形成されている電子デバイス、および、ビアホールが設けられた低誘電率膜の上側に、膜密度 1.3 g/cm^3 以下の低密度絶縁膜が設けられている電子デバイスである。

また、低誘電率膜の上側または下側に窒素非含有絶縁膜を挟んで窒素含有絶縁膜が形成されており、ホールが形成された低誘電率膜の上側に化学増幅型レジストを形成し、当該レジストを用いて前記ホールと接続する凹部を形成する工程を備えている電子デバイスの製造方法および、低誘電率膜の上側に膜密度 1.3 g/cm^3 以下の低密度絶縁膜を形成し、ホールが形成された低誘電率膜の上側に化学増幅型レジストを形成し、当該レジストを用いて前記ホールと接続する凹部を形成する工程を備えている電子デバイスの製造方法である。

明細書

電子デバイス及びその製造方法

技術分野

本発明は、電子デバイス及びその製造方法に関し、特に配線形成技術に関するものである。

背景技術

近年、集積回路の高集積化に伴い、配線間隔が狭小化しているため、配線間に生じる電気寄生容量が増大してきている。一方、高速動作を求められる集積回路では、配線間の電気寄生容量を小さくすることが必要とされている。

そこで、配線間の電気寄生容量を低減させるために、配線間の絶縁膜の比誘電率を低減させる方法が検討されてきた。配線間の電気寄生容量を最も低減できる方法として、例えば、配線間の絶縁膜として、シリコン酸化膜よりも誘電率の小さい材料からなる膜（つまり低誘電率膜）、例えば炭素含有シリコン酸化膜又はポーラス膜等を用いる方法が提案されている。炭素含有シリコン酸化膜は、体積が大きいアルキル基やフェニル基の形で炭素を膜中に含有している。その結果、炭素含有シリコン酸化膜の密度（約 $1.0 \sim 1.3 \text{ g/cm}^3$ ）はシリコン酸化膜の密度（約 2.3 g/cm^3 ）と比べて小さくなると共に、炭素含有シリコン酸化膜の比誘電率（約 $2.0 \sim 3.0$ ）もシリコン酸化膜の比誘電率（ $3.9 \sim 4.3$ ）と比べて小さくなる。

ところで、例えばシリコン酸化膜等の従来の配線間の絶縁膜と比べて、炭素含有シリコン酸化膜等の低誘電率膜の膜密度が低いため、低誘電率膜は大気暴露された際に大気中に存在する窒素等を膜中に吸収しやすい。その結果、例えばビアホールが設けられた炭素含有シリコン酸化膜上において、上層金属配線用の溝パ

ターンを形成するためのフォトリソグラフィ工程を実施した場合には、次のような問題が生じる。すなわち、ビアホール近傍に塗布されたフォトレジストについては十分な現像を行なえず、その結果、不要なフォトレジスト残りが発生するので、所望の溝パターンを形成することができない。この問題が起こる理由は次の通りである。すなわち、ビアホールが設けられている炭素含有シリコン酸化膜中に存在するアミン、又は炭素含有シリコン酸化膜の下側に形成されたシリコン窒化炭化膜中の窒素に由来する塩基性物質等が、ビアホールを通して炭素含有シリコン酸化膜上のフォトレジスト（化学増幅型レジスト）中に拡散してくる。その結果、レジスト中の塩基濃度が上昇するため、溝パターン形成のための露光時にレジスト中の酸発生材から生じた酸が中和されてしまうので、例えばアクリル系レジスト等における連続的な酸発生反応が進行しなくなって現像不良が起こる。尚、このような現象はレジストポイズニングと呼ばれている。レジストポイズニングが起こると、例えば下層金属配線と上層金属配線とが正常に接続されなくなる事態、つまり配線不良が生じる。

それに対して、例えば非特許文献 1（フェヨール（M. Fayolle）他、2002 年・インターナショナル・インターコネクト・テクノロジー・コンファレンス予稿集（Proceedings of the 2002 International Interconnect Technology Conference）、39～41 ページ）に、レジストポイズニングを防止する配線構造及びその製造方法が開示されている。

図 7 は、非特許文献 1 に開示された、従来の電子デバイスの配線構造を示す断面図である。

図 7 に示すように、シリコン基板（図示省略）上に形成された、シリコン酸化膜からなる第 1 の絶縁膜 1 中に、バリア金属膜 2 a 及び銅膜 2 b からなる下層金属配線 2 が形成されている。下層金属配線 2 の上及び第 1 の絶縁膜 1 の上には、シリコン炭化膜からなる第 2 の絶縁膜 3 が形成されている。第 2 の絶縁膜 3 の

上には、炭素含有シリコン酸化膜からなる第 3 の絶縁膜 4 が形成されている。第 3 の絶縁膜 4 の上には、シリコン炭化膜からなる第 4 の絶縁膜 5 が形成されている。第 4 の絶縁膜 5 の上には、炭素含有シリコン酸化膜からなる第 5 の絶縁膜 6 が形成されている。第 2 の絶縁膜 3 及び第 3 の絶縁膜 4 には、下層金属配線 2 に達するビアホール 7 が形成されていると共に、第 4 の絶縁膜 5 及び第 5 の絶縁膜 6 には、ビアホール 7 に達する配線溝 8 が形成されている。ビアホール 7 及び配線溝 8 には、バリアメタル膜 9 及び銅膜 10 が順次形成されており、それによってビアプラグ 11 及び上層金属配線 12 が形成されている。ビアプラグ 11 は、下層金属配線 2 と上層金属配線 12 とを接続する。

図 8 (a) ~ (f) は、非特許文献 1 に開示された、従来の電子デバイスの製造方法、つまり図 7 に示す電子デバイスを製造するための方法の各工程を示す断面図である。

まず、図 8 (a) に示すように、シリコン基板（図示省略）上に第 1 の絶縁膜 1 を形成した後、第 1 の絶縁膜 1 に、バリアメタル膜 2 a 及び銅膜 2 b からなる下層金属配線 2 を埋め込む。

次に、図 8 (b) に示すように、第 1 の絶縁膜 1 の上及び下層金属配線 2 の上に、シリコン炭化膜からなる第 2 の絶縁膜 3、炭素含有シリコン酸化膜からなる第 3 の絶縁膜 4、シリコン炭化膜からなる第 4 の絶縁膜 5、炭素含有シリコン酸化膜からなる第 5 の絶縁膜 6、及びシリコン炭化膜からなる第 6 の絶縁膜 13 を順次堆積する。

次に、第 6 の絶縁膜 13 の上にフォトレジストを塗布し、該塗布されたフォトレジストに対してフォトリソグラフィを行なうことにより、ホールパターンを持つレジスト膜（図示省略）を形成する。その後、該レジスト膜をマスクとして、第 6 の絶縁膜 13 及び第 5 の絶縁膜 6 に対して順次ドライエッチングを行なった後、アッシングによりフォトレジストを除去する。これにより、図 8 (c) に示すように、第 6 の絶縁膜 13 及び第 5 の絶縁膜 6 に、ビアホール 7（図 8 (e

参照)と対応するホール14が形成される。

次に、第6の絶縁膜13の上にフォトリソグロフィーを塗布し、該塗布されたフォトリソグロフィーに対してフォトリソグロフィーを行なうことにより、所望の溝パターンを持つレジスト膜15、具体的には配線溝8(図8(e)参照)と対応する開口部15aを有するレジスト膜15を形成する。

次に、溝パターンを持つレジスト膜15、並びにホールパターンを持つ第6の絶縁膜13及び第5の絶縁膜6をそれぞれマスクとして、第6の絶縁膜13、第5の絶縁膜6、第4の絶縁膜5及び第3の絶縁膜4に対して順次ドライエッチングを行なう。これにより、図8(e)に示すように、第3の絶縁膜4にビアホール7が形成されると共に第4の絶縁膜5及び第5の絶縁膜6に配線溝8が形成される。但し、前述のドライエッチングの後、レジスト膜15を除去して洗浄を行ない、その後、それぞれシリコン炭化膜からなる第2の絶縁膜3(ビアホール7の形成領域)、第4の絶縁膜5(配線溝8の形成領域)及び第6の絶縁膜13を全面エッチバックにより同時に除去する。これにより、図8(e)に示すように、所望のビアホール7及び配線溝8が形成される。

次に、ビアホール7及び配線溝8が完全に埋まるように第5の絶縁膜6の上に、バリアメタル膜9及び銅膜10を順次堆積した後、配線溝8の外側のバリアメタル膜9及び銅膜10をCMP(chemical mechanical polishing)により除去する。これにより、図8(f)に示すように、ビアホール7にビアプラグ11が形成されると共に配線溝8に上層金属配線12が形成される。

非特許文献1においては、第2の絶縁膜3、第4の絶縁膜5及び第6の絶縁膜13として、窒素を含まないシリコン炭化膜を用いることによって、ホール14を経由したアミン等の拡散に起因するレジストポイズニングを抑制できることが報告されている。

しかしながら、前述の従来の配線構造においては、レジストポイズニング対策のために、シリコン窒化炭化膜に代えて、シリコン窒化炭化膜よりも膜質の悪い

、窒素非含有のシリコン炭化膜を用いているため、リーク電流が多くなるという問題がある。また、シリコン炭化膜の膜安定性が悪いため、該膜を堆積した後に放置していると、膜質の経時変化が起こるという問題もある。

発明の開示

前記に鑑み、本発明は、配線間絶縁膜におけるリーク電流の増大や膜質の経時変化を抑制しながらレジストポイズニングを防止することを目的とする。

前記の目的を達成するために、本発明に係る第1の電子デバイスは、ホールを有する低誘電率膜と、低誘電率膜の下側に形成された窒素非含有絶縁膜と、窒素非含有絶縁膜の下側に形成された窒素含有絶縁膜とを備えている。

第1の電子デバイスによると、配線間絶縁膜である低誘電率膜と、その下側の窒素含有絶縁膜との間に窒素非含有絶縁膜が設けられている。すなわち、低誘電率膜と窒素含有絶縁膜とが直接接触することがないため、低誘電率膜中に窒素が取り込まれることを抑制できる。このため、ホールが形成された低誘電率膜の上に化学増幅型レジストを塗布した際にホールを経由してアミン等が低誘電率膜からレジスト中に拡散すること、つまりレジストポイズニングを防止できる。また、低誘電率膜の下側に膜質の良い窒素含有絶縁膜（例えばシリコン窒化炭化膜）が設けられているため、リーク電流の増大又は膜質の経時変化を防止できる。

また、第1の電子デバイスによると、窒素非含有絶縁膜を例えばプラズマCVD (chemical vapor deposition) 法により堆積することによって、その下側の窒素含有絶縁膜の膜質を安定化させることができるので、窒素含有絶縁膜に含まれる窒素が遊離しにくくなる。その結果、低誘電率膜中に窒素が取り込まれることをより確実に抑制できる。

尚、本明細書において、窒素非含有絶縁膜とは、膜中に含まれる窒素が $1 \times 10^{19} \text{ atoms/cm}^3$ 未満の絶縁膜を意味する。

第1の電子デバイスにおいて、ホールは窒素非含有絶縁膜及び窒素含有絶縁膜

のそれぞれを貫通しており、該ホールの下側においてホールと接続する下層配線をさらに備え、ホールの接続領域を除く下層配線の上面は窒素含有絶縁膜によって覆われていることが好ましい。

このようにすると、窒素含有絶縁膜として、酸素を含まない絶縁膜を用いることにより、下層配線の酸化を防止することができる。

第1の電子デバイスにおいて、低誘電率膜の下面と窒素非含有絶縁膜の上面とは接していることが好ましい。

このようにすると、低誘電率膜中に窒素が取り込まれることをより確実に抑制できる。

本発明に係る第2の電子デバイスは、ホールを有する低誘電率膜と、低誘電率膜の上側に形成された窒素非含有絶縁膜と、窒素非含有絶縁膜の上側に形成された窒素含有絶縁膜とを備えている。

第2の電子デバイスによると、配線間絶縁膜である低誘電率膜と、その上側の窒素含有絶縁膜との間に窒素非含有絶縁膜が設けられている。すなわち、低誘電率膜と窒素含有絶縁膜とが直接接触することがない。このため、低誘電率膜中に窒素が取り込まれることを抑制できるので、ホールが形成された低誘電率膜の上側に化学増幅型レジストを塗布した際にホールを経由してアミン等が低誘電率膜からレジスト中に拡散すること、つまりレジストポイズニングを防止できる。また、低誘電率膜の上側に膜質の良い窒素含有絶縁膜（例えばシリコン窒化炭化膜）が設けられているため、リーク電流の増大又は膜質の経時変化を防止できる。

また、第2の電子デバイスによると、低誘電率膜の上に窒素非含有絶縁膜を挟んで窒素含有絶縁膜が設けられているため、低誘電率膜の形成後に窒素を含む雰囲気（プラズマ等）に低誘電率膜が直接さらされることがない。このため、低誘電率膜中に窒素が取り込まれることをより確実に抑制できる。

第2の電子デバイスにおいて、窒素含有絶縁膜は反射防止膜であり、窒素含有絶縁膜、窒素非含有絶縁膜、及び低誘電率膜のうちの少なくとも上部に、ホール

と接続する凹部が設けられていることが好ましい。

このようにすると、ホール又は凹部を形成するためのリソグラフィー時に、例えば有機材料からなる反射防止膜を新たに設ける必要がなくなるので、工程数を削減できる。

第2の電子デバイスにおいて、低誘電率膜の上面と窒素非含有絶縁膜の下面とは接していることが好ましい。

このようにすると、低誘電率膜中に窒素が取り込まれることをより確実に抑制できる。

本発明に係る第3の電子デバイスは、ホールを有する低誘電率膜と、低誘電率膜の下側に形成された第1の窒素非含有絶縁膜と、低誘電率膜の上側に形成された第2の窒素非含有絶縁膜とを備え、ホールは第1の窒素非含有絶縁膜を貫通しており、第2の窒素非含有絶縁膜、及び低誘電率膜のうちの少なくとも上部に、ホールと接続する凹部が設けられている。

第3の電子デバイスによると、配線間絶縁膜である低誘電率膜の上下にそれぞれ窒素非含有絶縁膜が設けられているため、低誘電率膜中に窒素が取り込まれることを確実に抑制できる。このため、低誘電率膜にホールを形成した後、該ホールと接続する凹部を形成するためのリソグラフィ工程で低誘電率膜の上側に化学増幅型レジストを塗布した際に、ホールを経由してアミン等が低誘電率膜からレジスト中に拡散すること、つまりレジストポイズニングを防止できる。

第3の電子デバイスにおいて、低誘電率膜の下面と第1の窒素非含有絶縁膜の上面とは接していることが好ましい。

このようにすると、低誘電率膜中に窒素が取り込まれることをより確実に抑制できる。

第3の電子デバイスにおいて、低誘電率膜の上面と第2の窒素非含有絶縁膜の下面とは接していることが好ましい。

このようにすると、低誘電率膜中に窒素が取り込まれることをより確実に抑制

できる。

本発明に係る第4の電子デバイスは、ホールを有する低誘電率膜と、低誘電率膜の上側に形成された膜密度 1.3 g/cm^3 以下の低密度絶縁膜とを備えている。

第4の電子デバイスによると、配線間絶縁膜である低誘電率膜の上側に低密度絶縁膜が形成されているため、低誘電率膜中に取り込まれた窒素や低密度絶縁膜自身に存在する窒素が、低密度絶縁膜を通して外部に排出されやすくなる。このため、低誘電率膜に設けられたホール内にアミン等が集中して拡散してくることがないので、低誘電率膜の上側に化学増幅型レジストを塗布した際にホール近傍のレジストにおける単位体積当たりのアミン等の量が極めて少なくなり、その結果、レジストポイズニングを防止できる。尚、第4の電子デバイスにおいて、低密度絶縁膜の密度は、該膜の安定性を考慮すると、 0.4 g/cm^3 以上であることが好ましい。

第4の電子デバイスにおいて、低密度絶縁膜は窒素を含むことが好ましい。

このようにすると、低密度絶縁膜の膜質が良くなるので、リーク電流の増大又は膜質の経時変化を防止できる。

第4の電子デバイスにおいて、低誘電率膜の下側に形成された窒素含有絶縁膜をさらに備えていることが好ましい。

このようにすると、窒素含有絶縁膜の膜質が良いので、リーク電流の増大又は膜質の経時変化を防止できる。

第1、第2、第3又は第4の電子デバイスにおいて、低誘電率膜は炭素含有シリコン酸化膜又はポーラス膜であることが好ましい。

このようにすると、配線間の容量を確実に低減できる。また、炭素含有シリコン酸化膜としてはSiOC膜を用いてもよい。

本発明に係る第1の電子デバイスの製造方法は、窒素含有絶縁膜の上に窒素非含有絶縁膜及び低誘電率膜を順次形成する工程と、低誘電率膜にホールを形成す

る工程と、ホールが形成された低誘電率膜の上に化学増幅型レジストを塗布し、該塗布された化学増幅型レジストに対して露光及び現像を行なうことによって、ホールが形成された領域を含む所定の領域に開口部を持つレジスト膜を形成する工程と、該レジスト膜をマスクとして低誘電率膜に対してエッチングを行なって、ホールと接続する凹部を形成する工程とを備えている。

第１の電子デバイスの製造方法によると、窒素含有絶縁膜の上に窒素非含有絶縁膜を挟んで形成された低誘電率膜にホールを形成した後、低誘電率膜の上に化学増幅型レジストを塗布する。すなわち、低誘電率膜と窒素含有絶縁膜との間に窒素非含有絶縁膜が設けられているため、低誘電率膜と窒素含有絶縁膜とが直接接触することがない。このため、低誘電率膜中に窒素が取り込まれることを抑制できるので、ホールが形成された低誘電率膜の上に化学増幅型レジストを塗布した際にホールを経由してアミン等がレジスト中に拡散すること、つまりレジストポイズニングを防止できる。また、低誘電率膜の下側に膜質の良い窒素含有絶縁膜（例えばシリコン窒化炭化膜）を設けているため、リーク電流の増大又は膜質の経時変化を防止できる。

また、第１の電子デバイスの製造方法によると、窒素非含有絶縁膜を例えばプラズマＣＶＤ法により堆積することによって、その下側の窒素含有絶縁膜の膜質を安定化させることができるので、窒素含有絶縁膜中に含まれる窒素が遊離しにくくなる。その結果、低誘電率膜中に窒素が取り込まれることをより確実に抑制できる。

第１の電子デバイスの製造方法において、窒素含有絶縁膜は下層配線を覆うように形成されていることが好ましい。

このようにすると、窒素含有絶縁膜として、酸素を含まない絶縁膜を用いることにより、下層配線の酸化を防止することができる。

第１の電子デバイスの製造方法において、ホールを形成する工程は、低誘電率膜及び窒素非含有絶縁膜にホールを形成する工程を含み、凹部を形成する工程よ

りも後に、ホールの下側の窒素含有絶縁膜を除去する工程を備えていることが好ましい。

このようにすると、ホールの下側に設けられた配線や素子等にエッチングダメージやアッシングダメージ（例えば配線や素子等の表面の酸化）が生じることを防止できる。

本発明に係る第2の電子デバイスの製造方法は、低誘電率膜の上に窒素非含有絶縁膜及び窒素含有絶縁膜を順次形成する工程と、窒素非含有絶縁膜及び窒素含有絶縁膜が設けられた低誘電率膜にホールを形成する工程と、ホールが形成された低誘電率膜の上側に化学増幅型レジストを塗布し、該塗布された化学増幅型レジストに対して露光及び現像を行なうことによって、ホールが形成された領域を含む所定の領域に開口部を持つレジスト膜を形成する工程と、該レジスト膜をマスクとして低誘電率膜に対してエッチングを行なって、ホールと接続する凹部を形成する工程とを備えている。

第2の電子デバイスの製造方法によると、低誘電率膜の上に窒素非含有絶縁膜及び窒素含有絶縁膜を順次形成した後、低誘電率膜にホールを形成し、その後、低誘電率膜の上側に化学増幅型レジストを塗布する。すなわち、低誘電率膜と窒素含有絶縁膜との間に窒素非含有絶縁膜が設けられているため、低誘電率膜と窒素含有絶縁膜とが直接接触することがない。このため、低誘電率膜中に窒素が取り込まれることを抑制できるので、ホールが形成された低誘電率膜の上に化学増幅型レジストを塗布した際にホールを経由してアミン等がレジスト中に拡散すること、つまりレジストポイズニングを防止できる。また、低誘電率膜の上側に膜質の良い窒素含有絶縁膜（例えばシリコン窒化炭化膜）を設けているため、リーク電流の増大又は膜質の経時変化を防止できる。

また、第2の電子デバイスの製造方法によると、低誘電率膜の上に窒素非含有絶縁膜を挟んで窒素含有絶縁膜を設けるため、低誘電率膜の形成後に窒素を含む雰囲気（プラズマ等）に低誘電率膜が直接さらされることがない。このため、低

誘電率膜中に窒素が取り込まれることをより確実に抑制できる。

第2の電子デバイスの製造方法において、レジスト膜を形成する工程で窒素含有絶縁膜は反射防止膜として機能することが好ましい。

このようにすると、凹部を形成するためのリソグラフィー時に、例えば有機材料からなる反射防止膜を新たに設ける必要がなくなるので、工程数を削減できる。

本発明に係る第3の電子デバイスの製造方法は、第1の窒素非含有絶縁膜の上に低誘電率膜及び第2の窒素非含有絶縁膜を順次形成する工程と、第2の窒素非含有絶縁膜が設けられた低誘電率膜にホールを形成する工程と、ホールが形成された低誘電率膜の上側に化学増幅型レジストを塗布し、該塗布された化学増幅型レジストに対して露光及び現像を行なうことによって、ホールが形成された領域を含む所定の領域に開口部を持つレジスト膜を形成する工程と、該レジスト膜をマスクとして低誘電率膜に対してエッチングを行なって、ホールと接続する凹部を形成する工程とを備えている。

第3の電子デバイスの製造方法によると、上下にそれぞれ窒素非含有絶縁膜が設けられた低誘電率膜にホールを形成した後、低誘電率膜の上に化学増幅型レジストを塗布する。このため、低誘電率膜中に窒素が取り込まれることを確実に抑制できるので、ホールが形成された低誘電率膜の上に化学増幅型レジストを塗布した際にホールを経由してアミン等がレジスト中に拡散すること、つまりレジストポイズニングを防止できる。

第1、第2又は第3の電子デバイスの製造方法において、窒素非含有絶縁膜はCVD法により堆積されることが好ましい。

このようにすると、窒素非含有絶縁膜として、例えばTEOSを用いたプラズマCVD法によりシリコン酸化膜を形成した場合、該シリコン酸化膜の密度（約 2.3 g/cm^3 ）は炭素含有シリコン酸化膜等の低誘電率膜の密度よりも高くなる。このため、該シリコン酸化膜からなる窒素非含有絶縁膜が窒素に対するバ

リア層として機能するので、低誘電率膜中に窒素が取り込まれることをより確実に抑制できる。

第1、第2又は第3の電子デバイスの製造方法において、ホールを形成する工程とレジスト膜を形成する工程との間に、ホール内にダミープラグを形成する工程をさらに備えていることが好ましい。

このようにすると、例えば有機材料からなるダミープラグによって、低誘電率膜と窒素非含有絶縁膜との界面部を含むホールの壁面を覆うことができる。すなわち、該界面部やホール壁面のダメージ層がダミープラグによって覆われるため、該界面部又は該ダメージ層からホール内への窒素の拡散を抑制できるので、レジストポイズニングをより確実に防止できる。

本発明に係る第4の電子デバイスの製造方法は、低誘電率膜の上に、膜密度 1.3 g/cm^3 以下の低密度絶縁膜を形成する工程と、低密度絶縁膜が設けられた低誘電率膜にホールを形成する工程と、ホールが形成された低誘電率膜の上側に化学増幅型レジストを塗布し、該塗布された化学増幅型レジストに対して露光及び現像を行なうことによって、ホールが形成された領域を含む所定の領域に開口部を持つレジスト膜を形成する工程と、該レジスト膜をマスクとして低誘電率膜に対してエッチングを行なって、ホールと接続する凹部を形成する工程とを備えている。

第4の電子デバイスの製造方法によると、低誘電率膜の上に低密度絶縁膜を形成した後、低誘電率膜にホールを形成し、その後、低誘電率膜の上側に化学増幅型レジストを塗布する。このため、低誘電率膜中に取り込まれた窒素や低密度絶縁膜自身に存在する窒素が、低密度絶縁膜を通して外部に排出されやすくなる。このため、低誘電率膜に設けられたホール内にアミン等が集中して拡散してくることがないので、低誘電率膜の上側に化学増幅型レジストを塗布した際にホール近傍のレジストにおける単位体積当たりのアミン等の量が極めて少なくなり、その結果、レジストポイズニングを防止できる。尚、第4の電子デバイスの製造方

法において、低密度絶縁膜の密度は、該膜の安定性を考慮すると、 0.4 g/cm^3 以上であることが好ましい。

第4の電子デバイスの製造方法において、低密度絶縁膜を形成する工程よりも後に、低密度絶縁膜に対して熱処理を行なうか又はエネルギー波を照射する工程を備えていることが好ましい。

このようにすると、低密度絶縁膜の膜質を安定化させることができると共に、低誘電率膜中の窒素又は低密度絶縁膜中の窒素を低密度絶縁膜を通して外部により多く排出することができる。このとき、エネルギー波が電子ビーム又は紫外線であると、前述の効果が確実に得られる。

第1、第2、第3又は第4の電子デバイスの製造方法において、低誘電率膜は炭素含有シリコン酸化膜又はポーラス膜であることが好ましい。

このようにすると、配線間の容量を確実に低減できる。また、炭素含有シリコン酸化膜としてはSiOC膜を用いてもよい。

図面の簡単な説明

図1は本発明の第1の実施形態に係る電子デバイスの配線構造を示す断面図である。

図2(a)～(f)は本発明の第1の実施形態に係る電子デバイスの製造方法の各工程を示す断面図である。

図3は比較例に係る電子デバイスの配線構造を示す断面図である。

図4(a)～(f)は比較例に係る電子デバイスの製造方法の各工程を示す断面図である。

図5は本発明の第2の実施形態に係る電子デバイスの配線構造を示す断面図である。

図6(a)～(f)は本発明の第2の実施形態に係る電子デバイスの製造方法の各工程を示す断面図である。

図7は従来の電子デバイスの配線構造を示す断面図である。

図8(a)～(f)は従来の電子デバイスの製造方法の各工程を示す断面図である。

発明を実施するための最良の形態

第1の実施形態

以下、本発明の第1の実施形態に係る電子デバイス及びその製造方法について、図面を参照しながら説明する。

図1は、第1の実施形態に係る電子デバイスの配線構造を示す断面図である。

図1に示すように、例えばシリコンからなる基板100上に形成された下層絶縁膜101中に、例えばタンタルナイトライド／タンタル積層膜102a及び銅膜102bからなる下層金属配線102が形成されている。下層金属配線102の上及び下層絶縁膜101の上には、例えばシリコン窒化炭化膜からなる第1の窒素含有絶縁膜103が形成されている。第1の窒素含有絶縁膜103の上には、例えばシリコン酸化膜からなる第1の窒素非含有絶縁膜104が形成されている。第1の窒素非含有絶縁膜104の上には、例えば炭素含有シリコン酸化膜からなる低誘電率膜105が形成されている。低誘電率膜105の上には、例えばシリコン酸化膜からなる第2の窒素非含有絶縁膜106が形成されている。第2の窒素非含有絶縁膜106の上には、例えば窒化シリコン酸化膜からなる第2の窒素含有絶縁膜107が形成されている。第1の窒素含有絶縁膜103、第1の窒素非含有絶縁膜104及び低誘電率膜105(下部)には、下層金属配線102に達するビアホール108が形成されている。低誘電率膜105(上部)、第2の窒素非含有絶縁膜106及び第2の窒素含有絶縁膜107には、ビアホール108と接続する配線溝109が形成されている。ビアホール108及び配線溝109には、タンタルナイトライド／タンタル積層膜110及び銅膜111が順次形成されており、それによってビアプラグ112及び上層金属配線113が形

成されている。ビアプラグ 112 は、下層金属配線 102 と上層金属配線 113 とを接続する。

図 2 (a) ~ (f) は、第 1 の実施形態に係る電子デバイスの製造方法、つまり図 1 に示す電子デバイスを製造するための方法の各工程を示す断面図である。

まず、図 2 (a) に示すように、例えばシリコンからなる基板 100 上に、例えばシリコン酸化膜からなる下層絶縁膜 101 を形成した後、下層絶縁膜 101 に、例えばタンタルナイトライド／タンタル積層膜 102a 及び銅膜 102b からなる下層金属配線 102 を埋め込む。具体的には、下層絶縁膜 101 の形成後、下層絶縁膜 101 の上に、下層金属配線用の溝パターンを持つレジスト膜（図示省略）をフォトリソグラフィ法により形成し、その後、該レジスト膜をマスクとして下層絶縁膜 101 に対してドライエッチングを行なって配線溝を形成する。その後、該配線溝が完全に埋まるように下層絶縁膜 101 の上にタンタルナイトライド／タンタル積層膜 102a 及び銅膜 102b を順次堆積した後、該配線溝の外側の積層膜 102a 及び銅膜 102b を CMP により除去して下層金属配線 102 を形成する。

次に、図 2 (a) に示すように、下層絶縁膜 101 の上及び下層金属配線 102 の上に、例えばシリコン窒化炭化膜からなる厚さ 50 nm の第 1 の窒素含有絶縁膜 103 を堆積する。

次に、図 2 (b) に示すように、第 1 の窒素含有絶縁膜 103 の上に、例えばシリコン酸化膜からなる厚さ 50 nm の第 1 の窒素非含有絶縁膜 104 を堆積する。このとき、例えば TEOS を用いたプラズマ CVD 法により、第 1 の窒素非含有絶縁膜 104 となるシリコン酸化膜を堆積する。その後、第 1 の窒素非含有絶縁膜 104 の上に、例えば炭素含有シリコン酸化膜からなる厚さ 450 nm の低誘電率膜 105 を堆積した後、低誘電率膜 105 の上に、例えばシリコン酸化膜からなる厚さ 30 nm の第 2 の窒素非含有絶縁膜 106 を堆積する。このとき、例えば TEOS を用いたプラズマ CVD 法により、第 2 の窒素非含有絶縁膜 1

06となるシリコン酸化膜を堆積する。その後、第2の窒素非含有絶縁膜106の上に、例えば窒化シリコン酸化膜からなる厚さ50nmの第2の窒素含有絶縁膜107を堆積する。ここで、第2の窒素含有絶縁膜107となる窒化シリコン酸化膜は、後のフォトリソグラフィ工程で反射防止膜として機能する。また、反射防止膜となる窒化シリコン酸化膜の膜厚は、0.18 μ mよりも大きいルールでは60nm以上で且つ100nm以下であることが好ましく、0.18 μ m以下のルールでは30nm以上で且つ70nm以下であることが好ましい。尚、第2の窒素含有絶縁膜107として窒化シリコン酸化膜以外の他の材料膜を用いた場合には、第2の窒素含有絶縁膜107の光学膜厚(=[第2の窒素含有絶縁膜107の屈折率の実部]×[第2の窒素含有絶縁膜107の膜厚(物理膜厚)])を、[窒化シリコン酸化膜の屈折率の実部]により除した値が前述の範囲となるように第2の窒素含有絶縁膜107の膜厚を設定することが好ましい。

次に、第2の窒素含有絶縁膜107の上にフォトレジストを塗布し、該塗布されたフォトレジストに対してフォトリソグラフィを行なうことにより、ホールパターンを持つレジスト膜(図示省略)を形成する。その後、該レジスト膜をマスクとして、第2の窒素含有絶縁膜107、第2の窒素非含有絶縁膜106、低誘電率膜105及び第1の窒素非含有絶縁膜104に対して順次ドライエッチングを行なった後、アッシングによりフォトレジストを除去する。これにより、図2(c)に示すように、ビアホール108が形成される。

次に、図2(d)に示すように、ビアホール108に、例えば有機材料からなるダミープラグ114を形成する。本実施形態では、ダミープラグ114の上面が、低誘電率膜105と第2の窒素非含有絶縁膜106との界面よりも高くなるように、ダミープラグ114を形成する。尚、本実施形態において、ダミープラグ114の形成は必須工程ではない。その後、第2の窒素含有絶縁膜107の上にフォトレジストを塗布し、該塗布されたフォトレジストに対してフォトリソグラフィ(露光及び現像)を行なうことにより、所望の溝パターンを持つレジス

ト膜 115、具体的には配線溝 109（図 2（e）参照）と対応する開口部 115a を有するレジスト膜 115 を形成する。ここで、開口部 115a の形成領域は、ビアホール 108 が形成された領域を含む。

次に、ダミープラグ 114 及び溝パターンを持つレジスト膜 115 をマスクとして、第 2 の窒素含有絶縁膜 107、第 2 の窒素非含有絶縁膜 106 及び低誘電率膜 105（上部）に対して順次ドライエッチングを行なう。これにより、図 2（e）に示すように、ビアホール 108 と接続する配線溝 109 が形成される。但し、前述のドライエッチングの後、ダミープラグ 114 及びレジスト膜 115 を除去して洗浄を行なう。

次に、シリコン窒化炭化膜からなる第 1 の窒素含有絶縁膜 103 におけるビアホール 108 の下側部分を全面エッチバックにより除去する。その後、ビアホール 108 及び配線溝 109 が完全に埋まるように第 2 の窒素含有絶縁膜 107 の上に、タンタルナイトライド／タンタル積層膜 110 及び銅膜 111 を順次堆積した後、配線溝 109 の外側の積層膜 110 及び銅膜 111 を CMP により除去する。これにより、図 2（f）に示すように、ビアホール 108 にビアプラグ 112 が形成されると共に配線溝 109 に上層金属配線 113 が形成される。尚、第 2 の窒素含有絶縁膜 107 及び第 2 の窒素非含有絶縁膜 106 については最終的に必ずしも残存させる必要がないので、前述の全面エッチバック又は CMP によりこれらを完全に又は部分的に除去してもよい。

以上に説明したように、第 1 の実施形態によると、低誘電率膜（炭素含有シリコン酸化膜）105 と、その下側の第 1 の窒素含有絶縁膜（シリコン窒化炭化膜）103 との間に第 1 の窒素非含有絶縁膜 104 を挟んでいるため、第 1 の窒素含有絶縁膜 103 を用いているにも関わらず、後述する 3 つの理由によってレジストポイズニングを抑制することができる。

（1）第 1 の窒素含有絶縁膜 103 と低誘電率膜 105 とが直接接触することがないため、低誘電率膜 105 中に窒素が取り込まれることを抑制できる。このた

め、配線溝 109 を形成するためのリソグラフィ工程においてビアホール 108 を経由してアミン等がレジスト中に拡散すること、つまりレジストポイズニングを防止できる。

(2) 第 1 の窒素非含有絶縁膜 104 として、例えば TEOS を用いたプラズマ CVD 法によりシリコン酸化膜を形成するため、該シリコン酸化膜の密度 (約 2.3 g/cm^3) は低誘電率膜 105 つまり炭素含有シリコン酸化膜の密度よりも高くなる。このため、該シリコン酸化膜からなる第 1 の窒素非含有絶縁膜 104 が窒素に対するバリア層として機能するので、低誘電率膜 105 中に窒素が取り込まれることをより確実に抑制できる。

(3) 第 1 の窒素非含有絶縁膜 104 をプラズマ CVD 法を用いて堆積するため、その下側の第 1 の窒素含有絶縁膜 103 つまりシリコン窒化炭化膜の膜質を安定化させることができるので、第 1 の窒素含有絶縁膜 103 中に含まれる窒素が遊離しにくくなる。具体的には、シリコン窒化炭化膜が、酸素を含んだプラズマにさらされるため、シリコン窒化炭化膜の表面部が酸化されて、その膜密度が高くなり、その結果、該表面部が、シリコン窒化炭化膜中の窒素の拡散バリアとして機能する。従って、低誘電率膜 105 中に窒素が取り込まれることをより確実に抑制できる。

第 1 の実施形態においては、以上に述べた効果によって、レジストポイズニングを抑制しながら、低誘電率膜 105 の下側に、膜質の良い第 1 の窒素含有絶縁膜 103 (例えばシリコン窒化炭化膜) を設けることができる。従って、リーク電流の増大又は膜質の経時変化を防止できる。また、第 1 の窒素含有絶縁膜 103 となるシリコン窒化炭化膜は酸素を含まないため、下層金属配線 102 を構成する銅膜 102b 上に第 1 の窒素含有絶縁膜 103 を堆積した場合に銅膜 102b が酸化することはない。

また、第 1 の実施形態によると、低誘電率膜 (炭素含有シリコン酸化膜) 105 と、その上側の第 2 の窒素含有絶縁膜 (窒化シリコン酸化膜) 107 との間に

第2の窒素非含有絶縁膜106を挟んでいるため、第2の窒素含有絶縁膜107を用いているにも関わらず、後述する3つの理由によってレジストポイズニングを抑制することができる。

(1) 第2の窒素含有絶縁膜107と低誘電率膜105とが直接接触することがないため、低誘電率膜105中に窒素が取り込まれることを抑制できる。このため、配線溝109を形成するためのリソグラフィ工程においてビアホール108を経由してアミン等がレジスト中に拡散すること、つまりレジストポイズニングを防止できる。

(2) 第2の窒素非含有絶縁膜106として、例えばTEOSを用いたプラズマCVD法によりシリコン酸化膜を形成するため、該シリコン酸化膜の密度(約 2.3 g/cm^3)は低誘電率膜105つまり炭素含有シリコン酸化膜の密度よりも高くなる。このため、該シリコン酸化膜からなる第2の窒素非含有絶縁膜106が窒素に対するバリア層として機能するので、低誘電率膜105中に窒素が取り込まれることをより確実に抑制できる。

(3) 低誘電率膜105の上に第2の窒素非含有絶縁膜106を挟んで第2の窒素含有絶縁膜107を設けるため、低誘電率膜105の形成後に窒素を含む雰囲気(プラズマ等)に低誘電率膜105が直接さらされることがない。このため、低誘電率膜105中に窒素が取り込まれることをより確実に抑制できる。

第1の実施形態においては、以上に述べた効果によって、レジストポイズニングを抑制しながら、低誘電率膜105の上側に、膜質の良い第2の窒素含有絶縁膜107(例えばシリコン窒化炭化膜)を設けることができる。従って、リーク電流の増大又は膜質の経時変化を防止できる。また、第2の窒素含有絶縁膜107として、反射防止効果を有する窒化シリコン酸化膜を用いるため、ビアホール108及び配線溝109を形成するためのリソグラフィ時に、例えば有機材料からなる反射防止膜を新たに設ける必要がなくなるので、工程数を削減できる。このとき、レジストに対する第2の窒素含有絶縁膜107の選択比の確保も容易

になるので、第2の窒素含有絶縁膜107のエッチングが容易になる。また、前述のように、配線溝109の形成時に反射防止膜を塗布する必要が無いため、ダミープラグ114の上面を、形成しようとする配線溝109の底面と同等の高さに設定しておくことができる。このため、配線溝109を形成するためのエッチングを行なったときに、配線溝109の底面におけるビアホール108の近傍にフェンス状の残さが生じる事態を防止することができる。

また、第1の実施形態によると、配線溝109の形成が終わるまで、ビアホール108の下側に、言い換えると、下層金属配線102の上側に第1の窒素含有絶縁膜103を残存させている。このため、エッチングやアッシングによる下層金属配線102のダメージ（例えば下層金属配線102の表面の酸化）を低減できる。

また、第1の実施形態によると、配線溝109を形成するためのフォトリソグラフィを行なう前に、ビアホール108にダミープラグ114を形成する。このため、ダミープラグ114によって、低誘電率膜105と第1及び第2の窒素非含有絶縁膜104及び106との界面部を含むビアホール108の壁面を覆うことができる。すなわち、該界面部やビアホール108の壁面のダメージ層がダミープラグ114によって覆われるため、該界面部又は該ダメージ層からビアホール108内への窒素の拡散を抑制できるので、レジストポイズニングをより確実に防止できる。また、ビアホール108にダミープラグ114を設けておくことによって、塗布されるレジストの表面を平坦化できるので、フォトリソグラフィによって得られるパターンの精度を向上させることができる。

尚、第1の実施形態において、第2の窒素含有絶縁膜107として、反射防止効果を持つ窒化シリコン酸化膜を用いたが、これに代えて、窒素を含む（正確には膜中に含まれる窒素が $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である）他の種類の絶縁膜を用いてもよい。例えば、第2の窒素含有絶縁膜107としてシリコン窒化膜を用いた場合、ビアホール108又は配線溝109を形成するためのエッチ

ング工程で第2の窒素含有絶縁膜107をハードマスクとして用いることができる。これは、低誘電率膜105としてポーラス膜や炭素含有濃度のさらに高い膜等（つまり誘電率のさらに低い絶縁膜）を用いる場合に有効である。また、第2の窒素含有絶縁膜107として、シリコン窒化炭化膜（SiCN膜）を用いてもよい。

また、第1の実施形態において、第1の窒素含有絶縁膜103としてシリコン窒化炭化膜を用いたが、これに代えて、窒素を含む他の種類の絶縁膜、例えばシリコン窒化膜（SiN膜）を用いてもよい。

また、第1の実施形態において、第1の窒素非含有絶縁膜104又は第2の窒素非含有絶縁膜106としてシリコン酸化膜を用いたが、これに代えて、窒素を含まない（正確には膜中に含まれる窒素が $1 \times 10^{19} \text{ atoms/cm}^3$ 未満である）他の種類の絶縁膜、例えば酸素添加シリコン炭化膜（SiCO膜）又はシリコン炭化膜（SiC膜）を用いてもよい。

また、第1の実施形態において、低誘電率膜105となる炭素含有シリコン酸化膜としては、例えばSiOC膜を用いることができる。

また、第1の実施形態において、低誘電率膜105（その下面）と第1の窒素非含有絶縁膜104（その上面）とが直接接していたが、低誘電率膜105と第1の窒素非含有絶縁膜104との間にさらに他の窒素非含有絶縁膜を設けてもよい。同様に、低誘電率膜105（その上面）と第2の窒素非含有絶縁膜106（その下面）とが直接接していたが、低誘電率膜105と第2の窒素非含有絶縁膜106との間にさらに他の窒素非含有絶縁膜を設けてもよい。

また、第1の実施形態において、ビアプラグ112により接続される下層金属配線102及び上層金属配線113からなる配線構造の形成を対象としたが、本発明はこれに限定されるものではない。例えばコンタクトプラグにより接続されるトランジスタ（その拡散層）及びキャパシタ（その下部電極）からなるメモリセル構造の形成を対象としてもよいことは言うまでもない。

比較例

以下、第１の実施形態に対する比較例として、低誘電率膜と窒素含有絶縁膜とが直接接した配線間絶縁膜構造を持つ電子デバイス及びその製造方法について説明する（東 和幸 他、２００２年・インターナショナル・インターコネクト・テクノロジー・コンファレンス予稿集（*Proceedings of the 2002 International Interconnect Technology Conference*）、１５～１７ページ 参照）。

図３は、比較例に係る電子デバイスの配線構造を示す断面図である。

図３に示すように、シリコン基板（図示省略）上に形成された第１の絶縁膜２１中に、タンタルナイトライド／タンタル積層膜２２ａ及び銅膜２２ｂからなる下層金属配線２２が形成されている。下層金属配線２２の上及び第１の絶縁膜２１の上には、シリコン窒化炭化膜からなる第２の絶縁膜（窒素含有絶縁膜）２３が形成されている。第２の絶縁膜２３の上には、炭素含有シリコン酸化膜からなる第３の絶縁膜（低誘電率膜）２４が形成されている。第３の絶縁膜２４の上には、シリコン酸化膜からなる第４の絶縁膜２５が形成されている。第４の絶縁膜２５は、窒素汚染のないプラズマを用いて形成されている。第２の絶縁膜２３及び第３の絶縁膜２４（少なくとも下部）には、下層金属配線２２に達するビアホール２６が形成されている。第３の絶縁膜２４（上部）及び第４の絶縁膜２５には、ビアホール２６と接続する配線溝２７が形成されている。ビアホール２６及び配線溝２７には、タンタルナイトライド／タンタル積層膜２８及び銅膜２９が順次形成されており、それによってビアプラグ３０及び上層金属配線３１が形成されている。ビアプラグ３０は、下層金属配線２２と上層金属配線３１とを接続する。

図４（ａ）～（ｆ）は、比較例に係る電子デバイスの製造方法、つまり図３に示す電子デバイスを製造するための方法の各工程を示す断面図である。

まず、図４（ａ）に示すように、シリコン基板（図示省略）上に第１の絶縁膜２１を形成した後、第１の絶縁膜２１に、タンタルナイトライド／タンタル積層膜２２ａ及び銅膜２２ｂからなる下層金属配線２２を埋め込む。

次に、図４（ｂ）に示すように、第１の絶縁膜２１の上及び下層金属配線２２の上に、シリコン窒化炭化膜からなる第２の絶縁膜２３を堆積した後、第２の絶縁膜２３に対してプラズマ処理を行なって第２の絶縁膜２３の膜質を安定化させる。続いて、第２の絶縁膜２３の上に、炭素含有シリコン酸化膜からなる第３の絶縁膜２４を堆積する。その後、第３の絶縁膜２４の上に、シリコン酸化膜からなる第４の絶縁膜２５をプラズマＣＶＤ法により堆積した後、第４の絶縁膜２５の上に有機反射防止膜３２を形成する。尚、第４の絶縁膜２５は、下地となる第３の絶縁膜２４に対して窒素汚染のない前処理を行なった後に窒素汚染のないプラズマを用いて形成される。

次に、有機反射防止膜３２の上にフォトレジストを塗布し、該塗布されたフォトレジストに対してフォトリソグラフィを行なうことにより、ホールパターンを持つレジスト膜（図示省略）を形成する。その後、該レジスト膜をマスクとして、有機反射防止膜３２、第４の絶縁膜２５及び第３の絶縁膜２４に対して順次ドライエッチングを行なった後、アッシングによりフォトレジスト及び有機反射防止膜３２を除去する。これにより、図４（ｃ）に示すように、ビアホール２６が形成される。

次に、図４（ｄ）に示すように、ビアホール２６が完全に埋まるように第４の絶縁膜２５の上に下層レジスト膜３３を堆積した後、下層レジスト膜３３の上に、ＳＯＧ（Spin on Glass）膜３４を形成する。その後、ＳＯＧ膜３４の上にフォトレジストを塗布し、該塗布されたフォトレジストに対してフォトリソグラフィを行なうことにより、所望の溝パターンを持つ上層レジスト膜３５、具体的には配線溝２７（図４（ｅ）参照）と対応する開口部３５ａを有する上層レジスト膜３５を形成する。

次に、溝パターンを持つ上層レジスト膜 35 をマスクとして、SOG 膜 34 に対してドライエッチングを行なう。続いて、パターン化された（溝パターンを持つ）SOG 膜 34 をマスクとして、下層レジスト膜 33、第 4 の絶縁膜 25 及び第 3 の絶縁膜 24（上部）に対して順次ドライエッチングを行なう。これにより、図 4（e）に示すように、ビアホール 26 と接続する配線溝 27 が形成される。但し、前述のドライエッチングの後、上層レジスト膜 35、SOG 膜 34 及び下層レジスト膜 33 を除去して洗浄を行なう。

次に、第 2 の絶縁膜 23 におけるビアホール 26 の下側部分を全面エッチバックにより除去する。その後、ビアホール 26 及び配線溝 27 が完全に埋まるように第 4 の絶縁膜 25 の上に、タンタルナイトライド／タンタル積層膜 28 及び銅膜 29 を順次堆積した後、配線溝 29 の外側の積層膜 28 及び銅膜 29 を CMP により除去する。これにより、図 4（f）に示すように、ビアホール 26 にビアプラグ 30 が形成されると共に配線溝 27 に上層金属配線 31 が形成される。

前述のように、比較例においては、第 2 の絶縁膜 23 つまりシリコン窒化炭化膜をプラズマ処理により安定化させることにより、レジストポイズニングの抑制を図っている。

しかしながら、比較例においては、シリコン窒化炭化膜中に残存する不安定な窒素又はプラズマ処理のばらつきに起因して、シリコン窒化炭化膜（第 2 の絶縁膜 23）から、該膜と直接接する第 3 の絶縁膜（低誘電率膜）24 中に窒素が拡散する。このため、配線溝 27 を形成するためのリソグラフィ工程においてビアホール 26 を経由してアミン等がレジスト中に拡散すること、つまりレジストポイズニングを十分に防止することはできない。

また、比較例においては、窒素汚染のない前処理を行なった後に、第 3 の絶縁膜（低誘電率膜）24 の上に、窒素汚染のないプラズマを用いて第 4 の絶縁膜 25 つまりシリコン酸化膜を形成し、それによりレジストポイズニングの抑制を図っている。しかしながら、シリコン酸化膜には反射防止効果はないため、ビアホ

ール 26 を形成するためのパターンをリソグラフィーにより形成する際に有機反射防止膜 32 を設ける必要がある。ところが、有機反射防止膜 32 の塗布膜厚が大きいことにより、且つ、フォトリソグに対して有機反射防止膜 32 の選択比を確保しにくいことにより、ビアホール 26 を形成するためのエッチングの実施が困難になる。また、前述のように、配線溝 27 を形成するためのパターンをリソグラフィーにより形成する際に、下層レジスト膜 33、SOG 膜 34 及び上層レジスト膜 35 を組み合わせて用いるので、配線溝 27 を形成するためのエッチングの実施が困難になる。また、この場合、リソグラフィー工程で寸法ずれや合わせずれが発生すると、SOG 膜 34 を用いているためにパターンの再生を行なうことが困難になる。その理由は、レジスト膜と異なり、アッシング等により SOG 膜 34 を容易に除去することができないからである。尚、下層レジスト膜 33、SOG 膜 34 及び上層レジスト膜 35 の組み合わせに代えて有機反射防止膜を設けた場合には、前述のビアホール 26 を形成するためのエッチングの場合と同様の問題が生じる。

ところで、誘電率のさらに低い（具体的には比誘電率 ϵ が 2.8 未満の）低誘電率膜を用いる場合、該低誘電率膜の上にシリコン窒化膜等の窒素含有絶縁膜を形成して該窒素含有絶縁膜をエッチング時のハードマスクとして用いるプロセスは、フォトリソグに対する低選択比を実現できる点及びアッシングダメージを防止できる点で有効である。ところが、比較例では、窒素を含むプラズマを用いないでシリコン酸化膜を低誘電率膜上に設ける構造及びプロセス以外は許容されないで、言い換えると、低誘電率膜上に窒素含有絶縁膜を形成できないので、今後の絶縁膜の低誘電率化を考慮した場合には不利である。また、比較例では、前述のシリコン酸化膜の比誘電率が 4.2 程度と高いため、配線間容量が増大してしまうという問題があるので、将来的に絶縁膜に求められる低誘電率化の点でも不利である。

それに対して、第 1 の実施形態によると、低誘電率膜 105 と、その下側の第

1の窒素含有絶縁膜103との間に第1の窒素非含有絶縁膜104を挟み、且つ低誘電率膜105と、その上側の第2の窒素含有絶縁膜107との間に第2の窒素非含有絶縁膜106を挟む構造（図1参照）によって、以上に述べたような比較例の問題点が全て解決されるという顕著な効果が得られる。

第2の実施形態

以下、本発明の第2の実施形態に係る電子デバイス及びその製造方法について、図面を参照しながら説明する。

図5は、第2の実施形態に係る電子デバイスの配線構造を示す断面図である。

図5に示すように、例えばシリコンからなる基板200上に形成された下層絶縁膜201中に、例えばタンタルナイトライド／タンタル積層膜202a及び銅膜202bからなる下層金属配線202が形成されている。下層金属配線202の上及び下層絶縁膜201の上には、例えばシリコン窒化炭化膜からなる窒素含有絶縁膜203が形成されている。窒素含有絶縁膜203の上には、例えば炭素含有シリコン酸化膜からなる低誘電率膜204が形成されている。低誘電率膜204の上には、膜密度 1.3 g/cm^3 以下の低密度絶縁膜（低密度キャップ膜）205が形成されている。窒素含有絶縁膜203及び低誘電率膜204（下部）には、下層金属配線202に達するビアホール206が形成されている。低誘電率膜204（上部）及び低密度キャップ膜205には、ビアホール206と接続する配線溝207が形成されている。ビアホール206及び配線溝207には、タンタルナイトライド／タンタル積層膜208及び銅膜209が順次形成されており、それによってビアプラグ210及び上層金属配線211が形成されている。

図6（a）～（f）は、第2の実施形態に係る電子デバイスの製造方法、つまり図5に示す電子デバイスを製造するための方法の各工程を示す断面図である。

まず、図6（a）に示すように、例えばシリコンからなる基板200上に、例

例えばシリコン酸化膜からなる下層絶縁膜 201 を形成した後、下層絶縁膜 201 に、例えばタンタルナイトライド／タンタル積層膜 202 a 及び銅膜 202 b からなる下層金属配線 202 を埋め込む。

次に、図 6 (b) に示すように、下層絶縁膜 201 の上及び下層金属配線 202 の上に、例えばシリコン窒化炭化膜又はシリコン窒化膜からなる厚さ 50 nm の窒素含有絶縁膜 203 を堆積する。その後、窒素含有絶縁膜 203 の上に、例えば炭素含有シリコン酸化膜からなる厚さ 450 nm の低誘電率膜 204 を堆積する。続いて、低誘電率膜 204 の上に、膜密度が 1.3 g/cm^3 以下であり且つ厚さが 50 nm である低密度キャップ膜 205 を形成する。その後、低密度キャップ膜 205 の上に例えば有機材料を塗布して第 1 の反射防止膜 212 を形成する。

次に、第 1 の反射防止膜 212 の上にフォトレジストを塗布し、該塗布されたフォトレジストに対してフォトリソグラフィを行なうことにより、ホールパターンを持つレジスト膜（図示省略）を形成する。その後、該レジスト膜をマスクとして、第 1 の反射防止膜 212、低密度キャップ膜 205 及び低誘電率膜 204 に対して順次ドライエッチングを行なった後、アッシングによりフォトレジスト及び第 1 の反射防止膜 212 を除去する。これにより、図 6 (c) に示すように、ビアホール 206 が形成される。

次に、図 6 (d) に示すように、ビアホール 206 が完全に埋まるように低密度キャップ膜 205 の上に例えば有機材料を塗布して第 2 の反射防止膜 213 を形成する。その後、第 2 の反射防止膜 213 の上にフォトレジストを塗布し、該塗布されたフォトレジストに対してフォトリソグラフィ（露光及び現像）を行なうことにより、所望の溝パターンを持つレジスト膜 214、具体的には配線溝 207（図 6 (e) 参照）と対応する開口部 214 a を有するレジスト膜 214 を形成する。ここで、開口部 214 a の形成領域は、ビアホール 206 が形成された領域を含む。

次に、溝パターンを持つレジスト膜 214 をマスクとして、第 2 の反射防止膜 213、低密度キャップ膜 205 及び低誘電率膜 204（上部）に対して順次ドライエッチングを行なう。これにより、図 6（e）に示すように、ビアホール 206 と接続する配線溝 207 が形成される。但し、前述のドライエッチングの後、残存する第 2 の反射防止膜 213 及びレジスト膜 214 を除去して洗浄を行なう。

次に、シリコン窒化炭化膜からなる窒素含有絶縁膜 203 におけるビアホール 206 の下側部分を全面エッチバックにより除去する。その後、ビアホール 206 及び配線溝 207 が完全に埋まるように低密度キャップ膜 205 の上に、タンタルナイトライド／タンタル積層膜 208 及び銅膜 209 を順次堆積した後、配線溝 207 の外側の積層膜 208 及び銅膜 209 を CMP により除去する。これにより、図 6（f）に示すように、ビアホール 206 にビアプラグ 210 が形成されると共に配線溝 207 に上層金属配線 211 が形成される。尚、低密度キャップ膜 205 については最終的に必ずしも残存させる必要がないので、前述の全面エッチバック又は CMP によりこれを完全に又は部分的に除去してもよい。

以上に説明したように、第 2 の実施形態によると、低誘電率膜（炭素含有シリコン酸化膜）204 の上に低密度キャップ膜 205 が形成されている。このため、低誘電率膜 204 中に取り込まれた窒素、窒素含有絶縁膜 203 中の窒素又は低密度キャップ膜 205 自身に存在する窒素が、低密度キャップ膜 205 を通って外部に排出されやすくなる。このため、低誘電率膜 204 に設けられたビアホール 206 内にアミン等が集中して拡散してくることがないので、配線溝 207 を形成するためのリソグラフィ工程においてビアホール 206 の近傍のレジストにおける単位体積当たりのアミン等の量が極めて少なくなり、その結果、レジストポイズニングを防止できる。

第 2 の実施形態においては、以上に述べた効果によって、レジストポイズニングを抑制しながら、低誘電率膜 204 の下側に、膜質の良い窒素含有絶縁膜 20

3（例えばシリコン窒化炭化膜）を設けることができる。従って、リーク電流の増大又は膜質の経時変化を防止できる。また、窒素含有絶縁膜203となるシリコン窒化炭化膜は酸素を含まないため、下層金属配線202を構成する銅膜202b上に窒素含有絶縁膜203を堆積した場合に銅膜202bが酸化することはない。

また、第2の実施形態によると、配線溝207の形成が終わるまで、ビアホール206の下側に、言い換えると、下層金属配線202の上側に窒素含有絶縁膜203を残存させている。このため、エッチングやアッシングによる下層金属配線202のダメージ（例えば下層金属配線202の表面の酸化）を低減できる。

また、第2の実施形態によると、配線溝207を形成するためのフォトリソグラフィを行なう前に、ビアホール206に第2の反射防止膜213を埋め込む。このため、第2の反射防止膜213によって、ビアホール206の壁面を覆うことができる。すなわち、ビアホール206の壁面のダメージ層が第2の反射防止膜213によって覆われるため、該ダメージ層からビアホール206内への窒素の拡散を抑制できるので、レジストポイズニングをより確実に防止できる。

尚、第2の実施形態において、低密度キャップ膜205として使用できる絶縁膜の種類は、膜密度が 1.3 g/cm^3 以下であれば特に限定されるものではない。但し、低密度キャップ膜205として、密度のみならず誘電率も低い膜、例えばポーラス膜等を用いた場合、配線間容量を低減できる。具体的には、HSQ（hydrogen silsesquioxane）膜、又はDow Corning社製のXLK膜（密度：約 0.9 g/cm^3 ）等のポーラス膜を用いてもよい。また、低密度キャップ膜205が窒素を含む場合、低密度キャップ膜205の膜質が良くなるので、リーク電流の増大又は膜質の経時変化を防止できる。一方、低密度キャップ膜205は炭素を含まないことが好ましい。その理由は、SiOC膜等の炭素含有膜に対してアッシングを行なった場合、該膜から炭素が脱離してリーク電流が流れやすくなるからである。また、低密度キャップ膜205の密度は、該膜の安定

性を考慮すると、 0.4 g/cm^3 以上であることが好ましい。

また、第2の実施形態において、低密度キャップ膜205として塗布膜、例えば前述のHSQ膜等のポーラス膜を用いた場合、低密度キャップ膜205の形成後に、低密度キャップ膜205に対して、例えば300～400℃程度の熱処理を行なうか又はEB (electron beam) キュア若しくはDUV (遠紫外線) キュアを行なうことが好ましい。このようにすると、低密度キャップ膜205の膜質を安定化させることができると共に、窒素含有絶縁膜203中の窒素、低誘電率膜204中の窒素又は低密度キャップ膜205中の窒素を低密度キャップ膜205を通して外部により多く排出することができる。尚、低密度キャップ膜205に対して、EBやDUVに代えて、低密度キャップ膜205の膜質を安定化することができる、DUV以外の他の光又は他のエネルギー波を照射してもよい。

また、第2の実施形態において、低誘電率膜204としては、例えばSiOC膜等の炭素含有シリコン酸化膜、SiLK膜、又はMSQ (methyl silsesquioxane) 膜等のポーラス膜を用いることができる。

また、第2の実施形態において、ビアプラグ210により接続される下層金属配線202及び上層金属配線211からなる配線構造の形成を対象としたが、本発明はこれに限定されるものではない。例えばコンタクトプラグにより接続されるトランジスタ (その拡散層) 及びキャパシタ (その下部電極) からなるメモリセル構造の形成を対象としてもよいことは言うまでもない。

産業上の利用可能性

本発明は、電子デバイス及びその製造方法に関し、例えば多層配線構造の形成に適用した場合に、リソグラフィ工程でのレジストポイズニングの発生を防止できるという顕著な効果が得られる。

請求の範囲

1. ホールを有する低誘電率膜と、

前記低誘電率膜の下側に形成された窒素非含有絶縁膜と、

前記窒素非含有絶縁膜の下側に形成された窒素含有絶縁膜とを備えていることを特徴とする電子デバイス。

2. 請求項 1 において、

前記ホールは前記窒素非含有絶縁膜及び前記窒素含有絶縁膜のそれぞれを貫通しており、

前記ホールの下側において前記ホールと接続する下層配線をさらに備え、

前記ホールの接続領域を除く前記下層配線の上面は前記窒素含有絶縁膜によって覆われていることを特徴とする電子デバイス。

3. 請求項 1 において、

前記低誘電率膜の下面と前記窒素非含有絶縁膜の上面とは接していることを特徴とする電子デバイス。

4. 請求項 1 において、

前記低誘電率膜は炭素含有シリコン酸化膜又はポーラス膜であることを特徴とする電子デバイス。

5. 請求項 4 において、

前記炭素含有シリコン酸化膜は SiOC 膜であることを特徴とする電子デバイス。

6. ホールを有する低誘電率膜と、

前記低誘電率膜の上側に形成された窒素非含有絶縁膜と、

前記窒素非含有絶縁膜の上側に形成された窒素含有絶縁膜とを備えていることを特徴とする電子デバイス。

7. 請求項6において、

前記窒素含有絶縁膜は反射防止膜であり、

前記窒素含有絶縁膜、前記窒素非含有絶縁膜、及び前記低誘電率膜のうちの少なくとも上部に、前記ホールと接続する凹部が設けられていることを特徴とする電子デバイス。

8. 請求項6において、

前記低誘電率膜の上面と前記窒素非含有絶縁膜の下面とは接していることを特徴とする電子デバイス。

9. 請求項6において、

前記低誘電率膜は炭素含有シリコン酸化膜又はポーラス膜であることを特徴とする電子デバイス。

10. 請求項9において、

前記炭素含有シリコン酸化膜はSiOC膜であることを特徴とする電子デバイス。

11. ホールを有する低誘電率膜と、

前記低誘電率膜の下側に形成された第1の窒素非含有絶縁膜と、

前記低誘電率膜の上側に形成された第2の窒素非含有絶縁膜とを備え、

前記ホールは前記第 1 の窒素非含有絶縁膜を貫通しており、
前記第 2 の窒素非含有絶縁膜、及び前記低誘電率膜のうちの少なくとも上部に、
前記ホールと接続する凹部が設けられていることを特徴とする電子デバイス。

1 2. 請求項 1 1 において、

前記低誘電率膜の下面と前記第 1 の窒素非含有絶縁膜の上面とは接していることを特徴とする電子デバイス。

1 3. 請求項 1 1 において、

前記低誘電率膜の上面と前記第 2 の窒素非含有絶縁膜の下面とは接していることを特徴とする電子デバイス。

1 4. 請求項 1 1 において、

前記低誘電率膜は炭素含有シリコン酸化膜又はポーラス膜であることを特徴とする電子デバイス。

1 5. 請求項 1 4 において、

前記炭素含有シリコン酸化膜は SiOC 膜であることを特徴とする電子デバイス。

1 6. ホールを有する低誘電率膜と、

前記低誘電率膜の上側に形成された膜密度 1.3 g/cm^3 以下の低密度絶縁膜とを備えていることを特徴とする電子デバイス。

1 7. 請求項 1 6 において、

前記低密度絶縁膜は窒素を含むことを特徴とする電子デバイス。

18. 請求項16において、

前記低誘電率膜の下側に形成された窒素含有絶縁膜をさらに備えていることを特徴とする電子デバイス。

19. 請求項16において、

前記低誘電率膜は炭素含有シリコン酸化膜又はポーラス膜であることを特徴とする電子デバイス。

20. 請求項19において、

前記炭素含有シリコン酸化膜はSiOC膜であることを特徴とする電子デバイス。

21. 窒素含有絶縁膜の上に窒素非含有絶縁膜及び低誘電率膜を順次形成する工程と、

前記低誘電率膜にホールを形成する工程と、

前記ホールが形成された前記低誘電率膜の上に化学増幅型レジストを塗布し、該塗布された化学増幅型レジストに対して露光及び現像を行なうことによって、前記ホールが形成された領域を含む所定の領域に開口部を持つレジスト膜を形成する工程と、

前記レジスト膜をマスクとして前記低誘電率膜に対してエッチングを行なって、前記ホールと接続する凹部を形成する工程とを備えていることを特徴とする電子デバイスの製造方法。

22. 請求項21において、

前記窒素含有絶縁膜は下層配線を覆うように形成されていることを特徴とする

電子デバイスの製造方法。

23. 請求項21において、

前記ホールを形成する工程は、前記低誘電率膜及び前記窒素非含有絶縁膜に前記ホールを形成する工程を含み、

前記凹部を形成する工程よりも後に、前記ホールの下側の前記窒素含有絶縁膜を除去する工程を備えていることを特徴とする電子デバイスの製造方法。

24. 請求項21において、

前記窒素非含有絶縁膜はCVD法により堆積されることを特徴とする電子デバイスの製造方法。

25. 請求項21において、

前記ホールを形成する工程と前記レジスト膜を形成する工程との間に、前記ホール内にダミープラグを形成する工程をさらに備えていることを特徴とする電子デバイスの製造方法。

26. 請求項21において、

前記低誘電率膜は炭素含有シリコン酸化膜又はポーラス膜であることを特徴とする電子デバイスの製造方法。

27. 請求項26において、

前記炭素含有シリコン酸化膜はSiOC膜であることを特徴とする電子デバイスの製造方法。

28. 低誘電率膜の上に窒素非含有絶縁膜及び窒素含有絶縁膜を順次形成する工

程と、

前記窒素非含有絶縁膜及び前記窒素含有絶縁膜が設けられた前記低誘電率膜にホールを形成する工程と、

前記ホールが形成された前記低誘電率膜の上側に化学増幅型レジストを塗布し、該塗布された化学増幅型レジストに対して露光及び現像を行なうことによって、前記ホールが形成された領域を含む所定の領域に開口部を持つレジスト膜を形成する工程と、

前記レジスト膜をマスクとして前記低誘電率膜に対してエッチングを行なって、前記ホールと接続する凹部を形成する工程とを備えていることを特徴とする電子デバイスの製造方法。

29. 請求項28において、

前記レジスト膜を形成する工程において、前記窒素含有絶縁膜は反射防止膜として機能することを特徴とする電子デバイスの製造方法。

30. 請求項28において、

前記窒素非含有絶縁膜はCVD法により堆積されることを特徴とする電子デバイスの製造方法。

31. 請求項28において、

前記ホールを形成する工程と前記レジスト膜を形成する工程との間に、前記ホール内にダミープラグを形成する工程をさらに備えていることを特徴とする電子デバイスの製造方法。

32. 請求項28において、

前記低誘電率膜は炭素含有シリコン酸化膜又はポーラス膜であることを特徴と

する電子デバイスの製造方法。

33. 請求項32において、

前記炭素含有シリコン酸化膜はSiOC膜であることを特徴とする電子デバイスの製造方法。

34. 第1の窒素非含有絶縁膜の上に低誘電率膜及び第2の窒素非含有絶縁膜を順次形成する工程と、

前記第2の窒素非含有絶縁膜が設けられた前記低誘電率膜にホールを形成する工程と、

前記ホールが形成された前記低誘電率膜の上側に化学増幅型レジストを塗布し、該塗布された化学増幅型レジストに対して露光及び現像を行なうことによって、前記ホールが形成された領域を含む所定の領域に開口部を持つレジスト膜を形成する工程と、

前記レジスト膜をマスクとして前記低誘電率膜に対してエッチングを行なって、前記ホールと接続する凹部を形成する工程とを備えていることを特徴とする電子デバイスの製造方法。

35. 請求項34において、

前記第1の窒素非含有絶縁膜及び前記第2の窒素非含有絶縁膜はCVD法により堆積されることを特徴とする電子デバイスの製造方法。

36. 請求項34において、

前記ホールを形成する工程と前記レジスト膜を形成する工程との間に、前記ホール内にダミープラグを形成する工程をさらに備えていることを特徴とする電子デバイスの製造方法。

37. 請求項34において、

前記低誘電率膜は炭素含有シリコン酸化膜又はポーラス膜であることを特徴とする電子デバイスの製造方法。

38. 請求項37において、

前記炭素含有シリコン酸化膜はSiOC膜であることを特徴とする電子デバイスの製造方法。

39. 低誘電率膜の上に、膜密度 1.3 g/cm^3 以下の低密度絶縁膜を形成する工程と、

前記低密度絶縁膜が設けられた前記低誘電率膜にホールを形成する工程と、

前記ホールが形成された前記低誘電率膜の上側に化学増幅型レジストを塗布し、該塗布された化学増幅型レジストに対して露光及び現像を行なうことによって、前記ホールが形成された領域を含む所定の領域に開口部を持つレジスト膜を形成する工程と、

前記レジスト膜をマスクとして前記低誘電率膜に対してエッチングを行なって、前記ホールと接続する凹部を形成する工程とを備えていることを特徴とする電子デバイスの製造方法。

40. 請求項39において、

前記低密度絶縁膜を形成する工程よりも後に、前記低密度絶縁膜に対して熱処理を行なうか又はエネルギー波を照射する工程を備えていることを特徴とする電子デバイスの製造方法。

41. 請求項40において、

前記エネルギー波は電子ビーム又は紫外線であることを特徴とする電子デバイスの製造方法。

42. 請求項39において、

前記低誘電率膜は炭素含有シリコン酸化膜又はポーラス膜であることを特徴とする電子デバイスの製造方法。

43. 請求項42において、

前記炭素含有シリコン酸化膜はSiOC膜であることを特徴とする電子デバイスの製造方法。

2/8

FIG. 2

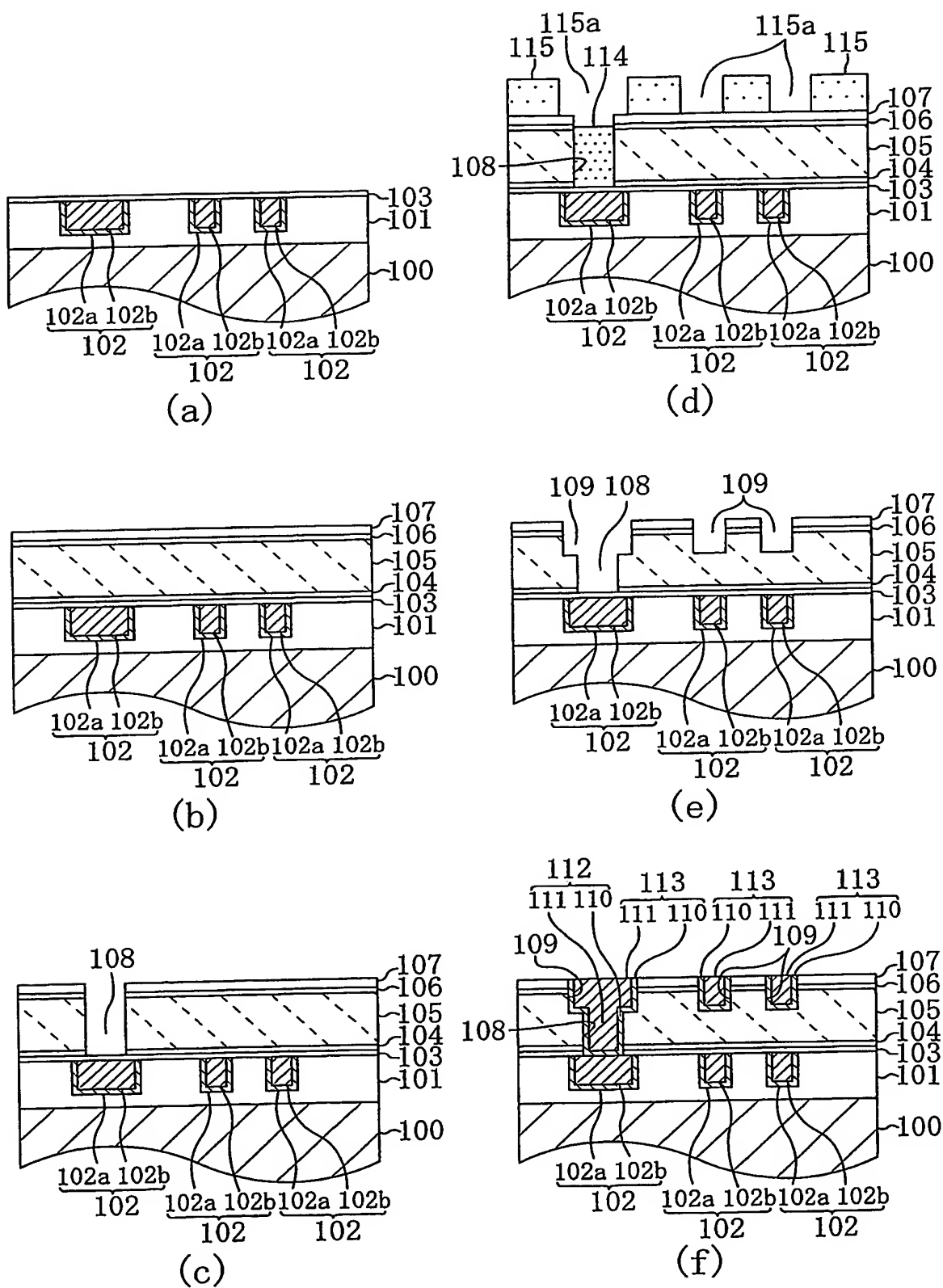


FIG. 3

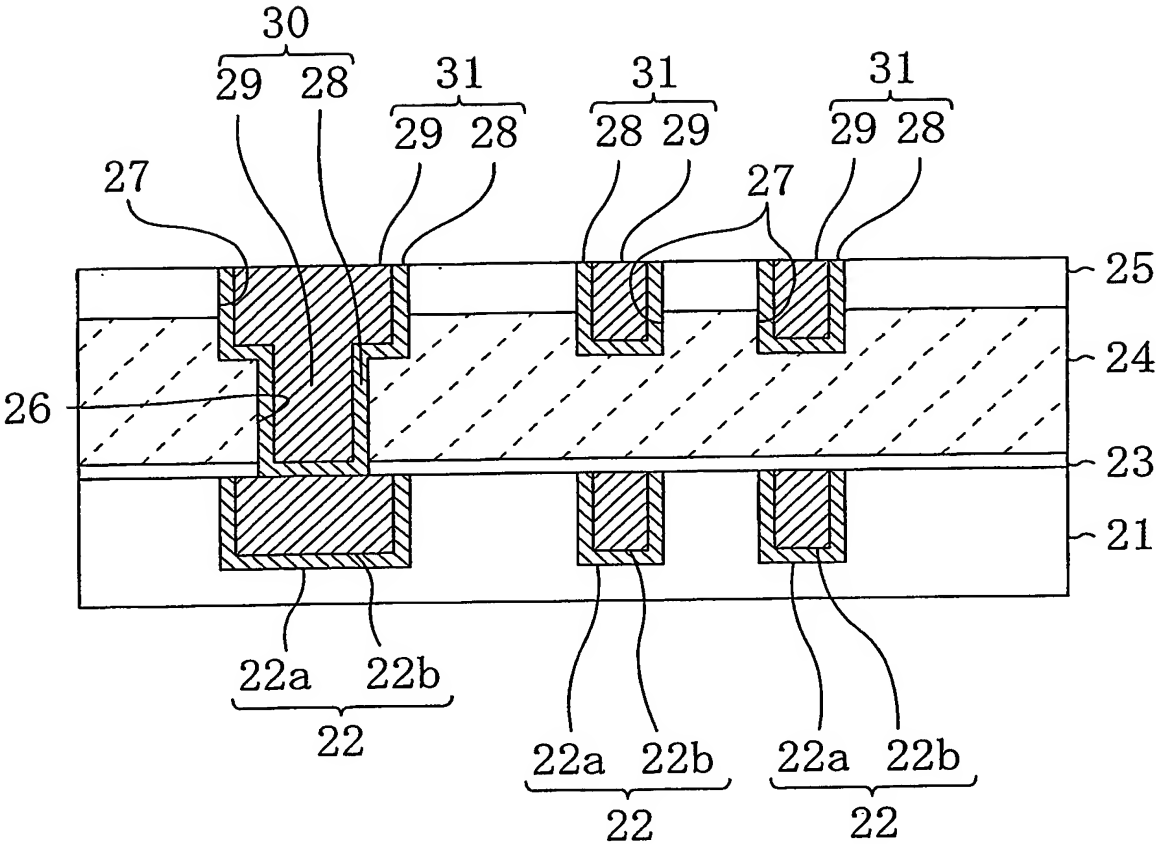


FIG. 4

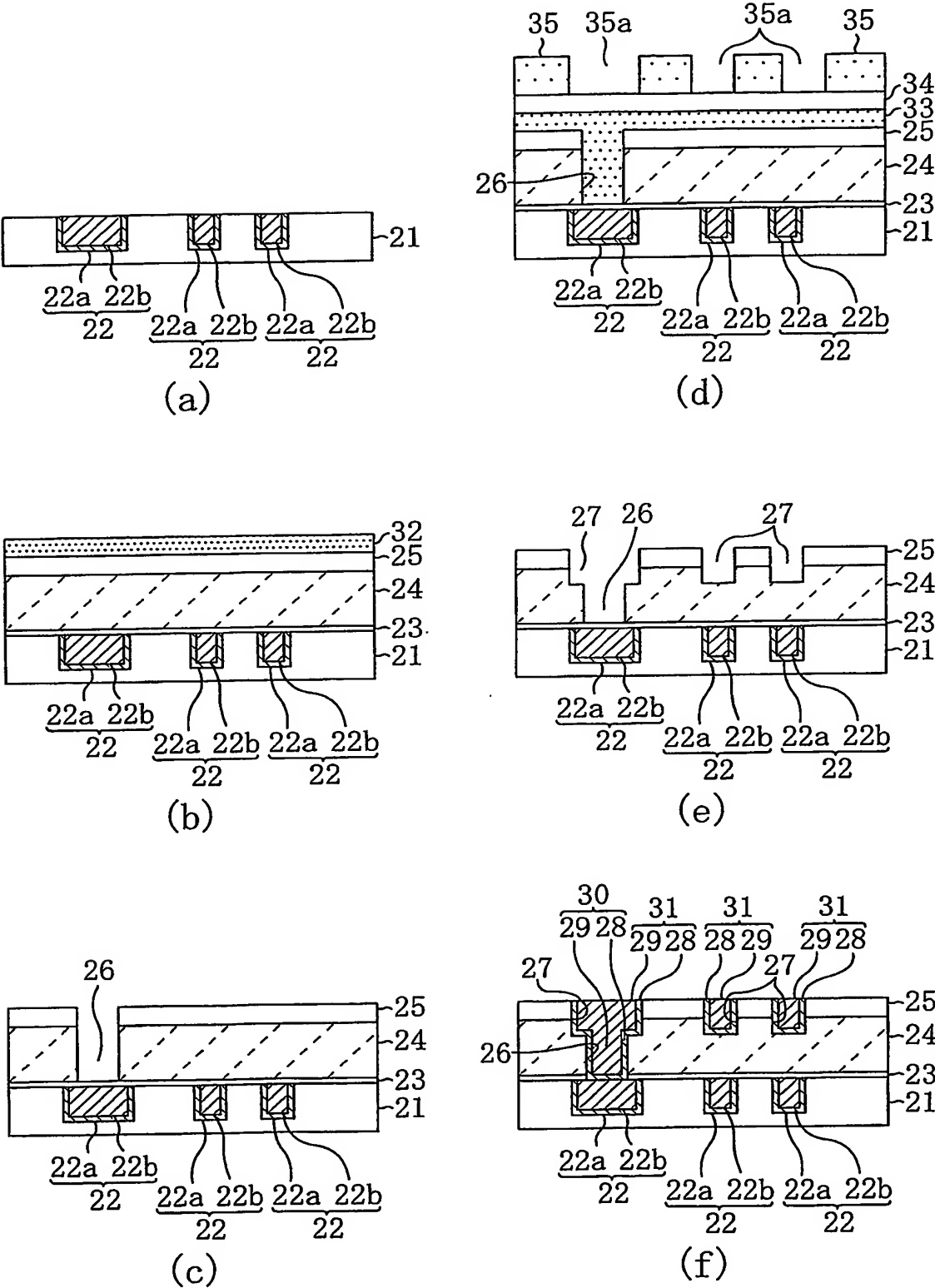


FIG. 5

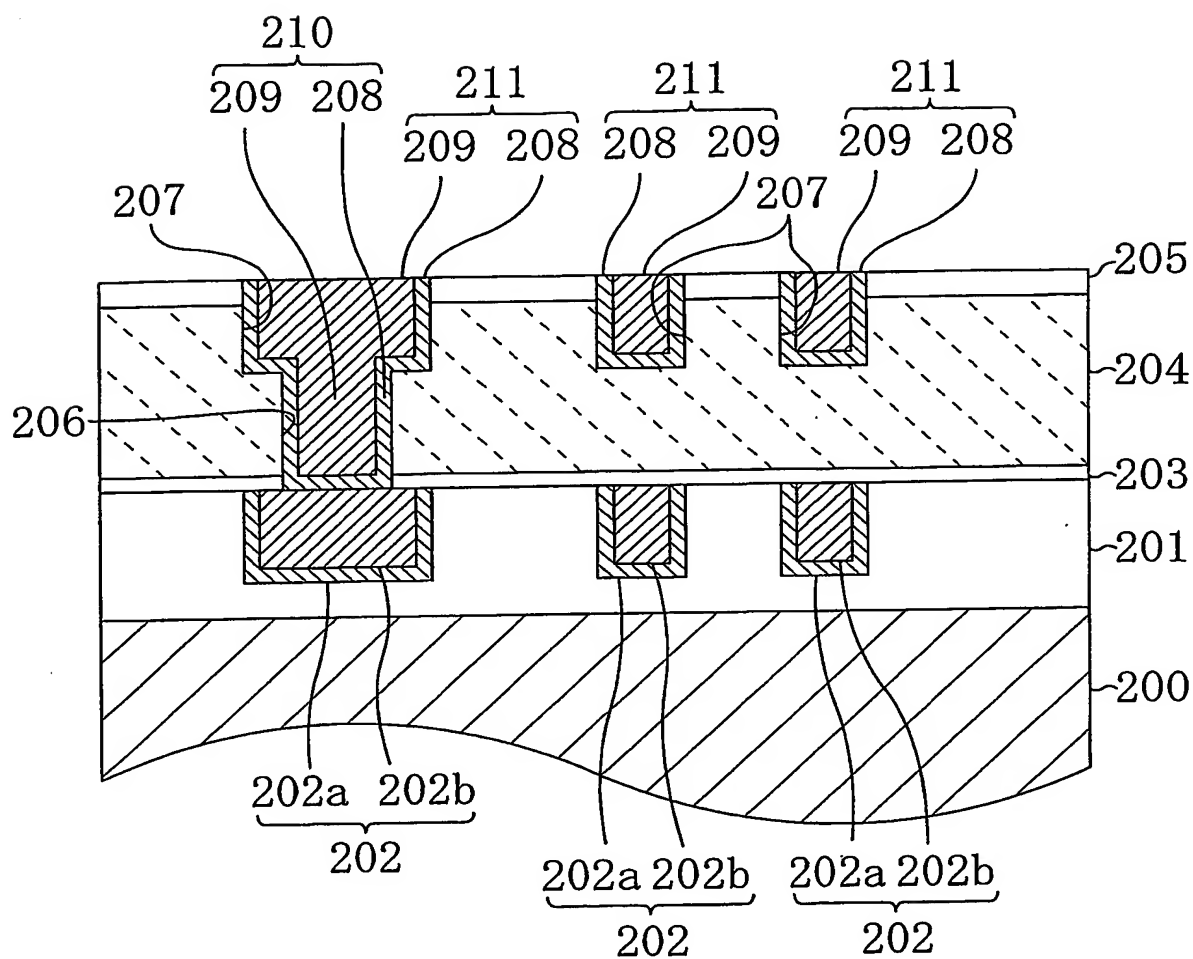


FIG. 6

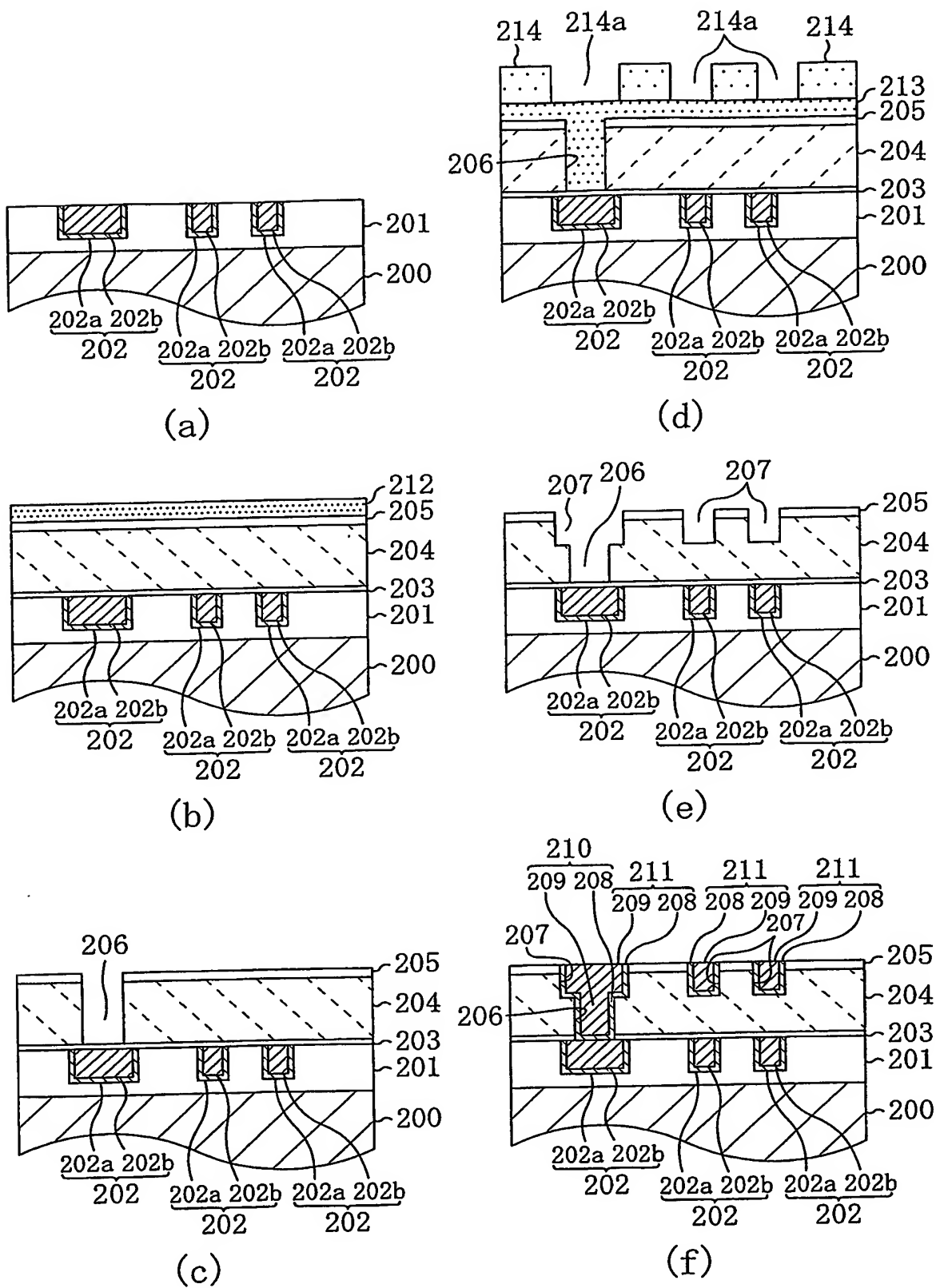


FIG. 7

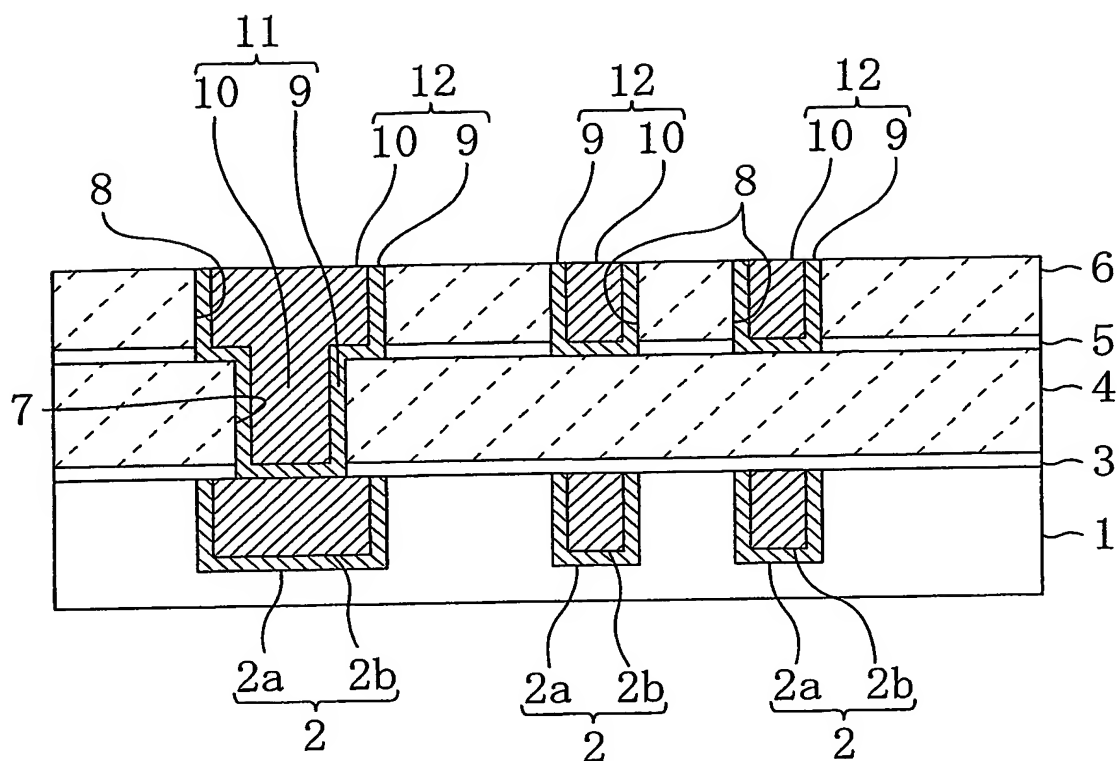
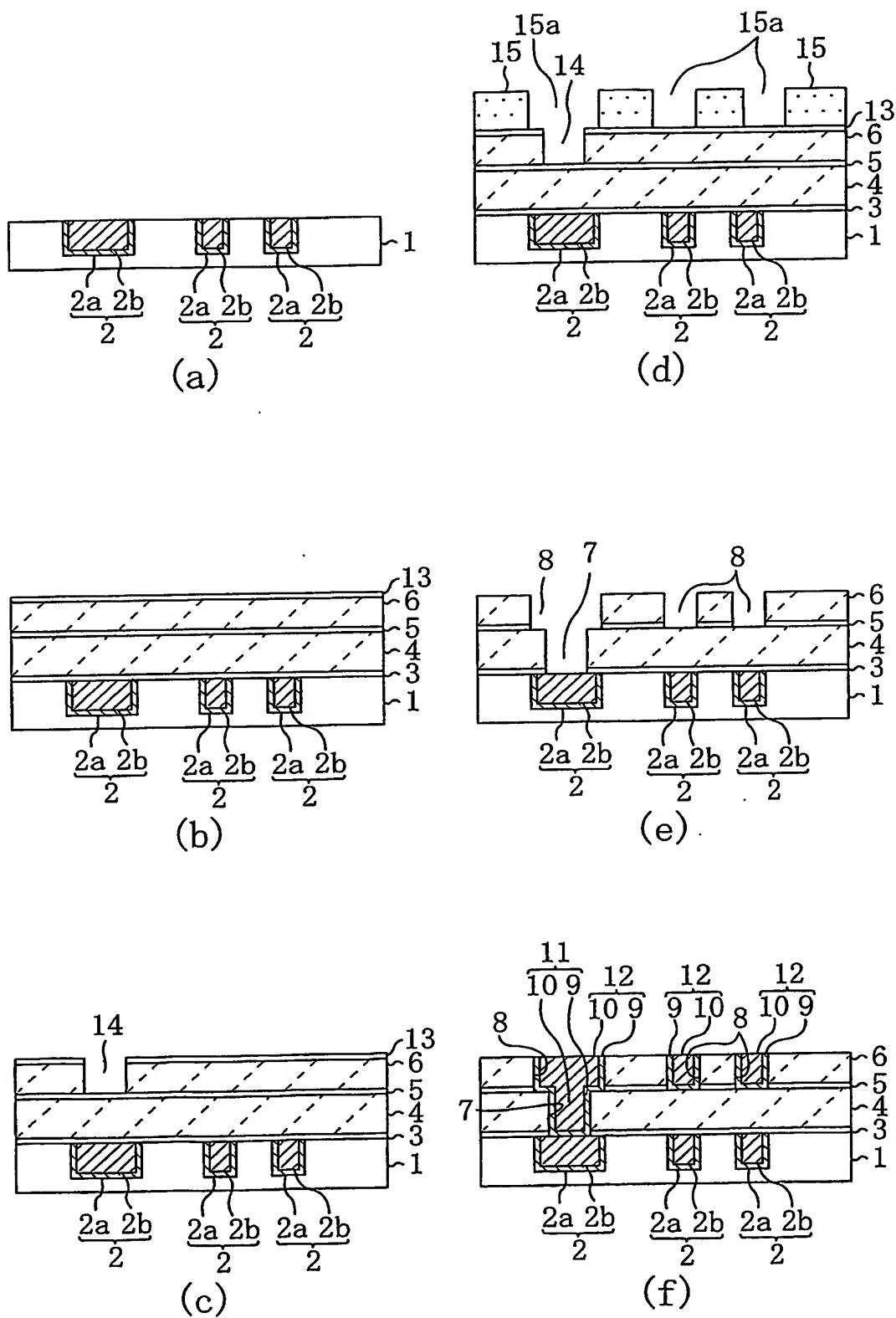


FIG. 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005044

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/768, H01L21/316, H01L21/027

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/768, H01L21/316, H01L21/027

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 2003/0001273 A1 (Kurt G. Steiner), 02 January, 2003 (02.01.03), Full text; Figs. 2 to 6 & JP 2004-6627 A Full text; Figs. 2 to 6	1-6, 8-10 7, 11-15, 21-38
X	US 2003/0003765 A1 (Gerald W. Gibson JR.), 02 January, 2003 (02.01.03), Full text; Figs. 1 to 5, 7 & JP 2003-243505 A Full text; Figs. 1 to 5, 7	1-5
Y	JP 2001-210627 A (Matsushita Electric Industrial Co., Ltd.), 03 August, 2001 (03.08.01), Par. Nos. [0219] to [0267]; Figs. 17 to 20 & US 2002/0061654 A1	7, 11-15, 21-38

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 July, 2004 (01.07.04)

Date of mailing of the international search report
20 July, 2004 (20.07.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005044

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-92349 A (Mitsubishi Electric Corp.), 28 March, 2003 (28.03.03), Par. Nos. [0050] to [0060]; Fig. 2 & US 2001/0054629 A1	25, 31, 36
Y A	JP 2001-345317 A (Fujitsu Ltd.), 14 December, 2001 (14.12.01), Par. Nos. [0095] to [0106]; Fig. 7 & US 2001/0033026 A1	16-20 39-43
Y	JP 2002-299441 A (JSR Corp.), 11 October, 2002 (11.10.02), Par. No. [0031] & EP 1246239 A1 & US 2002/0142586 A1	16, 18-20
Y	JP 2000-154273 A (Matsushita Electric Industrial Co., Ltd.), 06 June, 2000 (06.06.00), Full text; Fig. 2 & US 6399669 B1 & EP 0987294 A1	17
A	JP 6-252037 A (Toshiba Corp.), 09 September, 1994 (09.09.94), Full text (Family: none)	39-43
A	JP 2002-296791 A (Toshiba Corp.), 09 October, 2002 (09.10.02), Par. Nos. [0045] to [0101] (Family: none)	39-43
P, X	JP 2004-14841 A (Fujitsu Ltd.), 15 January, 2004 (15.01.04), Par. Nos. [0080] to [0104]; Figs. 16 to 31 (Family: none)	1, 3-6, 8-10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005044

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

As mentioned on (the extra sheet), there must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. The international application contains three groups of inventions: the inventions of claims 1-10, 21-33; the inventions of claims 11-15, 34-38; and the inventions of claims 16-20, 39-43.
(Continue to extra sheet.)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005044

Continuation of Box No.III of continuation of first sheet(2)

The inventions of claims 1-43 are linked by a technical feature that a low dielectric constant film with a hole is provided. However the use of a low dielectric constant film as an interlayer insulating film is publicly known in the field of multilayer wiring technology without citing a prior art document. Therefore the technical feature cannot a special technical feature.

Therefore, there exists no special technical feature so linking the group of inventions of claims 1-43 as to form a single general inventive concept. Consequently, it appears that claims 1-43 do not satisfy the requirement of unity of invention.

Next, the number of groups of inventions of the claims in the international application so linked as to form a single general inventive concept, that is, the number of inventions will be examined.

Considering the specific modes of the inventions of the independent claims, the international application contains eight groups of inventions: the inventions of claims 1-5; the inventions of claims 6-10; the inventions of claims 11-15; the inventions of claims 16-20; the inventions of claims 21-27; the inventions of claims 28-33; the inventions of claims 34-38; and the inventions of claims 39-43. However, the inventions of claims 1-5, claims 6-10, claims 11-15, and claims 16-20 and the inventions of claims 21-27, claims 28-33, claims 34-38, and claims 39-43 are linked by an electronic device and a method for manufacturing the electronic device respectively. Consequently, the international application contains four groups of inventions: the inventions of claims 1-5, 21-27; the inventions of claims 6-10, 28-33; the inventions of claims 11-15, 34-38; the inventions of claims 16-20, 39-43.

Next, the inventions of claims 1-5, 21-27, the inventions of claims 6-10, 28-33, and the inventions of claims 11-15, 34-38 will be examined. The inventions of claims 1, 6, 11 are linked by the technical feature that a low dielectric constant film with a hole and a nitrogen-noncontaining insulating film on the upper or lower side of the low dielectric constant film are provided. Formation of an interlayer insulating film by forming a nitrogen-noncontaining insulating film such as a silicon oxide film or a silicon carbide film on the upper or lower side of a low dielectric constant film is publicly known in the field of multilayer wiring technology without citing any prior art document. Therefore the technical feature cannot be a special technical feature.

The inventions of claims 1-5, 21-27 and claims 6-10, 28-33 are so linked as to form a single general inventive concept by the technical feature that a low dielectric constant film with a hole, a nitrogen-noncontaining insulating film on the upper or lower side of the low dielectric constant film, and a nitrogen-containing insulating film on the upper or lower side of the nitrogen-noncontaining insulating film but not on the side to which the low dielectric constant film is adjacent are provided.

Therefore, this international application contains three inventions: the invention of claims 1-10, 21-33; the invention of claims 11-15, 34-38; and the invention of claims 16-20, 39-43.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/768 H01L21/316 H01L21/027

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/768 H01L21/316 H01L21/027

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国実用新案登録公報 1996-2004年

日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 2003/0001273 A1 (Kurt G. Steiner) 2003. 01. 02, 全文, 図2-図6 & JP 2004-6627 A, 全文, 図2-図6	1-6, 8-10
Y		7, 11-15, 21-38
X	US 2003/0003765 A1 (Gerald W. Gibson JR.) 2003. 01. 02, 全文, 図1-図5, 図7 & JP 2003-243505 A, 全文, 図1-図5, 図7	1-5

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

01. 07. 2004

国際調査報告の発送日

20. 7. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松嶋 秀忠

4 L

3 2 3 9

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-210627 A (松下電器産業株式会社) 2001. 08. 03, 段落番号【0219】-【0267】, 図 17-図20 & US 2002/0061654 A1	7, 11-15, 21-38
Y	JP 2003-92349 A (三菱電機株式会社) 2003. 03. 28, 段落番号【0050】-【0060】, 図 2 & US2001/0054629 A1	25, 31, 36
Y	JP 2001-345317 A (富士通株式会社) 2001. 12. 14, 段落番号【0095】-【0106】, 図7 & US 2001/0033026 A1	16-20
A		39-43
Y	JP 2002-299441 A (ジェイエスアール株式会社) 2002. 10. 11, 段落番号【0031】 & EP 1246239 A1 & US 2002/0142586 A1	16, 18-20
Y	JP 2000-154273 A (松下電器産業株式会社) 20 00. 06. 06, 全文, 図2 & US 6399669 B1 & EP 0987294 A1	17
A	JP 6-252037 A (株式会社東芝) 1994. 09. 0 9, 全文 (ファミリーなし)	39-43
A	JP 2002-296791 A (株式会社東芝) 2002. 1 0. 09, 段落番号【0045】-【0101】 (ファミリーな し)	39-43
PX	JP 2004-14841 A (富士通株式会社) 2004. 0 1. 15, 段落番号【0080】-【0104】, 図16-31 (ファミリーなし)	1, 3-6, 8-10

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

（特別ページ）に記載したように、請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、この国際出願の請求の範囲には、[1-10, 21-33]、[11-15, 34-38]、[16-20, 39-43]に区分される3個の発明が記載されている。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

(第Ⅲ欄の続き)

請求の範囲1-43に記載されている発明は、ホールを有する低誘電率膜を備えていることで連関すると認められるが、多層配線技術において層間絶縁膜に低誘電率膜を用いることは文献を挙げるまでもなく周知であるから、この事項は、特別な技術的特徴であるとはいえない。

そうすると、請求の範囲1-43に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための特別な技術的特徴は存しないこととなる。そのため、請求の範囲1-43に記載されている一群の発明が発明の単一性の要件を満たしていないことが明らかである。

次に、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように連関している発明の群の数、すなわち発明の数について検討する。

独立請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲には、[1-5]、[6-10]、[11-15]、[16-20]、[21-27]、[28-33]、[34-38]、[39-43]に区分される8個の発明が記載されているものと認められるが、請求の範囲[1-5]、[6-10]、[11-15]、[16-20]と、請求の範囲[21-27]、[28-33]、[34-38]、[39-43]は、電子デバイスと、その電子デバイスを製造する方法として、それぞれ連関しているものと認められるから、この国際出願の請求の範囲には、[1-5、21-27]、[6-10、28-33]、[11-15、34-38]、[16-20、39-43]に区分される4個の発明が記載されている。

次に、請求の範囲[1-5、21-27]、[6-10、28-33]、[11-15、34-38]について検討する。請求の範囲1、6、11に記載されている発明は、ホールを有する低誘電率膜と、当該低誘電率膜の上または下に窒素非含有絶縁膜を備える事項で連関するものと認められるが、多層配線技術において、低誘電率膜の上または下に、例えばシリコン酸化膜、シリコン炭化膜等の窒素非含有絶縁膜を積層して層間絶縁膜を形成することは、文献を挙げるまでもなく周知であるから、前記事項は特別な技術的特徴であるとはいえない。

一方、請求の範囲[1-5、21-27]、[6-10、28-33]に記載されている発明は、ホールを有する低誘電率膜と、当該低誘電率膜の上または下に窒素非含有絶縁膜を備え、当該窒素非含有絶縁膜の上または下であって低誘電率膜側ではない側に窒素含有絶縁膜を備えるという事項によって単一の一般的発明概念を形成するように連関しているものと認められる。

したがって、この国際出願の請求の範囲には、[1-10、21-33]、[11-15、34-38]、[16-20、39-43]に区分される3個の発明が記載されているものと認められる。